

INFORMATION PROCESSOR

Publication number: WO9801806

Publication date: 1998-01-15

Inventor: SATO YOSHIMICHI (JP); YOSHIDA SHOJI (JP);
TANAKA SHIGEYA (JP); HOTTA TAKASHI (JP);
SUGAYA YUJI (JP)

Applicant: HITACHI LTD (JP); SATO YOSHIMICHI (JP); YOSHIDA
SHOJI (JP); TANAKA SHIGEYA (JP); HOTTA TAKASHI
(JP); SUGAYA YUJI (JP)

Classification:

- International: **G06F11/10; G06F11/10**; (IPC1-7): G06F12/02;
G06F12/04; G06F12/16

- European: G06F11/10M2D

Application number: WO1996JP01839 19960703

Priority number(s): WO1996JP01839 19960703

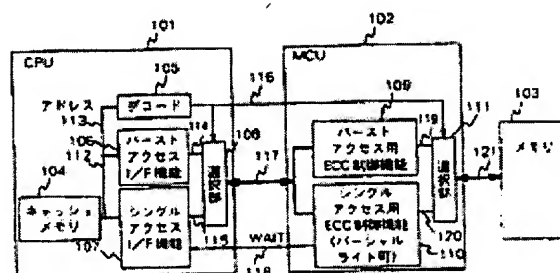
Cited documents:

JP7248976
JP4253236
JP1246651
JP7281948

Report a data error here

Abstract of WO9801806

In an information processor provided with a CPU, memory, and memory control section, a burst access interface through which data can be transferred at a high speed, a single access interface through which partial write is possible are provided in the CPU and an ECC control section for burst access and another ECC control section for single access are provided in the memory control section. Therefore both the burst access and single access can be selected, the reliability of the information processor is improved by ECC, and the access to the memory is performed at a high speed.



103 ... memory
104 ... cache memory
105 ... decode
106 ... burst access I/F function
107 ... single access I/F function
108, 111 ... selecting section
109 ... ECC control function for burst access
110 ... ECC control function for single access
(partial write is possible)
113 ... address

Data supplied from the esp@cenet database - Worldwide



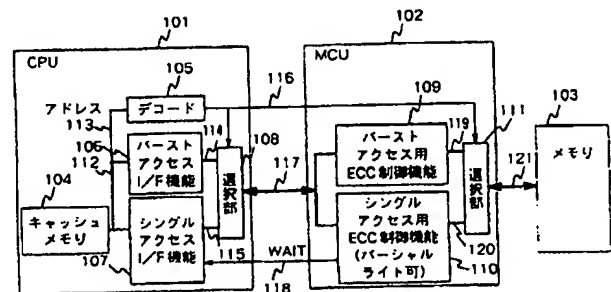
<p>(51) 国際特許分類6 G06F 12/02, 12/04, 12/16</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/01806</p> <p>(43) 国際公開日 1998年1月15日(15.01.98)</p>
<p>(21) 国際出願番号 PCT/JP96/01839</p> <p>(22) 国際出願日 1996年7月3日(03.07.96)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および</p> <p>(75) 発明者 / 出願人 (米国についてのみ) 佐藤美道(SATO, Yoshimichi)(JP/JP) 吉田昌司(YOSHIDA, Shoji)(JP/JP) 〒316 茨城県日立市鮎川町六丁目20番3号 Ibaraki, (JP) 田中成弥(TANAKA, Shigeya)(JP/JP) 〒316 茨城県日立市西成沢町二丁目16番33号 Ibaraki, (JP) 堀田多加志(HOTTA, Takashi)(JP/JP) 〒319-12 茨城県日立市南高野町三丁目5番12号 Ibaraki, (JP) 菅谷祐二(SUGAYA, Yuji)(JP/JP) 〒312 茨城県ひたちなか市青葉町11-1 日立ウイング627 Ibaraki, (JP)</p> <p>(74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)</p>		<p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>

(54) Title: INFORMATION PROCESSOR

(54) 発明の名称 情報処理装置

(57) Abstract

In an informatin processor provided with a CPU, memory, and memory control section, a burst access interface through which data can be transferred at a high speed, a single access interface through which partial write is possible arc provided in the CPU and an ECC control section for burst access and another ECC control section for single access are provided in the memory control section. Therefore both the burst access and single access can be selected, the reliability of the information processor is improved by ECC, and the access to the memory is performed at a high speed.



- 103 ... memory
- 104 ... cache memory
- 105 ... decode
- 106 ... burst access I/F function
- 107 ... single access I/F function
- 108, 111 ... selecting section
- 109 ... ECC control function for burst access
- 110 ... ECC control function for single access
(partial write is possible)
- 113 ... address

(57) 要約

CPU, メモリ, メモリ制御部を有する情報処理装置において、CPU内にデータの高速転送が可能なバーストアクセスインタフェースとパシカルライトが可能なシングルアクセスインタフェースを設けると共に、メモリ制御部内にバーストアクセス用のECC制御部とシングルアクセス用のECC制御部を設け、これらバーストアクセスとシングルアクセスを選択可能としたことにより、ECCによる高信頼化とメモリアクセスの高速化との両立が図られる。

参考情報

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を特定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	SG	シンガポール
AM	アルメニア	FI	フィンランド	LS	レソト	SI	スロヴェニア
AT	オーストリア	FR	フランス	LT	リトアニア	SK	スロヴァキア共和国
AU	オーストラリア	GA	ガボン	LU	ルクセンブルグ	SL	シエラレオネ
AZ	アゼルバイジャン	GB	英国	LV	ラトヴィア	SN	セネガル
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	MC	モナコ	SZ	スワジランド
BB	バルバドス	GH	ガーナ	MD	モルドヴァ共和国	TD	チャード
BE	ベルギー	GN	ギニア	MG	マダガスカル	TG	トーゴ
BF	ブルキナ・ファソ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TJ	タジキスタン
BG	ブルガリア	HU	ハンガリー	ML	マリ	TM	トルクメニスタン
BJ	ベナン	ID	インドネシア	MN	モンゴル	TR	トルコ
BR	ブラジル	IE	アイルランド	MR	モリタニア	TT	トリニダード・トバゴ
BY	ベラルーシ	IL	イスラエル	MW	マラウイ	UA	ウクライナ
CA	カナダ	IS	アイスランド	MX	メキシコ	UG	ウガンダ
CF	中央アフリカ共和国	IT	イタリア	NE	ニジェール	US	米国
CG	コンゴ	JP	日本	NL	オランダ	UZ	ウズベキスタン
CH	スイス	KE	ケニア	NO	ノルウェー	VN	ヴェトナム
CI	コート・ジボアール	KG	キルギスタン	NZ	ニュージーランド	YU	ユーゴスラビア
CM	カメルーン	KP	朝鮮民主主義人民共和国	PL	ポーランド	ZW	ジンバブエ
CN	中国	KR	大韓民国	PT	ポルトガル		
CU	キューバ	KZ	カザフスタン	RO	ルーマニア		
CZ	チェッコ共和国	LC	セントルシア	RU	ロシア連邦		
DE	ドイツ	LI	リヒテンシュタイン	SD	スーダン		
DK	デンマーク	LK	スリランカ	SE	スウェーデン		
EE	エストニア						

明 細 書

情報処理装置

技術分野

本発明は、高性能かつ高信頼性が要求される情報処理装置に係り、特に埋め込み型コントローラシステムのメモリ制御に関する。

背景技術

アクセスを高速化するために高速バースト転送モードを備える高速メモリデバイスが近年次々と現れてきた。EDOモードつきDRAMや Synchronous DRAM (SDRAM), Synchronous SRAM等と呼ばれるものである。これらは読み出しの際にアドレスを順次切り替えてデータをクロック同期で順次出力するパイプライン動作を行う。

一方、近年の半導体技術の進歩により、マイクロコンピュータが広く適用されるようになった。種々の機器の内部に埋め込まれて制御機能を担うコントローラ分野でも組込み型マイコンにより、小形、高性能が実現されている。代表的な組込み型マイコンとしては、日立のSHマイコン (SH-2, SH-3) があげられる。SHマイコンは、通常のシングルアクセスインタフェース機能 (1バスサイクルあたり1データのみアクセス) と、バーストアクセスインタフェース機能を備え、ユーザシステムごとに、どちらのインタフェースを使うか設定できるようになっている。特に、バーストアクセスインタフェースは外部付加回路なしにSDRAMを直結できるインタフェースであり、装置を小形化するのに適している。

ところで、医療、プラント制御、交通、自動車など高信頼を要求する

分野でもマイコンの適用は進んでいる。高信頼化するために注目されている点は、ノイズや α 線の影響によりメモリのデータの誤りが発生することである。この問題を解決するためメモリにパリティ (Parity) や ECC (Error Correcting Code, エラー訂正符号) 機能をつけることが一般的である。

ECC 機能とは、例えば 32 ビットデータに対して 7 ビットのエラー訂正符号をつけることで、1 ビットエラー訂正、2 ビットエラー検出するものである。メモリに ECC 機能を持たせる場合の基本動作を説明する。メモリに 32 ビットのデータを書き込むとき、ECC エラー訂正符号 7 ビットを生成して、データとともに 39 ビット幅で書き込む。メモリから訂正符号付きの 39 ビットのデータを読み出して、ECC エラー検出訂正を行い、32 ビットのデータを得る。ECC 制御の複雑な点として、必ず 32 ビットのデータに対してのみ ECC エラー訂正符号 (ECC ビット) を生成しなければならない。つまり、32 ビットデータの書き込みを行うときは単純に ECC ビットを付加して書き込めばよいが、バイト単位の書込動作をするときには以下の手順が必要である。

- a) 書き込むアドレスの 32 ビットデータをメモリから読み出す。
- b) 書き込むデータを a) のデータに埋め込んで新たな 32 ビットデータとする。
- c) b) のデータに対し ECC ビットを生成してからメモリへ書き込む。

なお、バイト単位の書き込みをパシャルライト、その時の動作をリードモディファイライトと呼ぶ。

しかしながら SH マイコン等、多くの組み込み型マイコンにはこの機能は備えられておらず、外部の ECC 制御回路に付加する必要がある。

S Hマイコンのようにバーストアクセスインタフェース機能を有するC P Uの外部にE C C制御回路を付加するとき、つぎの2つの問題が生じる。

第1の問題は、高速化するためにバーストアクセスインタフェース機能を使用してメモリアクセスを行いたい但パーシャルライト（バイト単位の書込動作）ができない点である。

第2の問題は、パーシャルライトを行えるようにするためシングルアクセスインタフェース機能を使用することは可能であるが、メモリの高速バースト転送モードは利用できず、高速なメモリアクセスができない点である。

尚、以下本明細書では、「アサート(assert)」および「ネゲート(negate)」という言葉各所に用いる。これは信号には“アクティブ・ハイ(active-high)”と“アクティブ・ロウ(active-low)”があり、これらを混在して扱う場合の混乱を防ぐためである。アクティブ・ロウの信号はその名称の先頭に“^”をつけて示す。

「アサート」というのは電位レベルが“Low”，“High”にかかわらず信号がアクティブ（有効）つまり真(true)であることを意味する。そして、「ネゲート」というのは信号がインアクティブ（無効）つまり偽(false)であることを意味する。

発明の開示

本発明は、E C Cによる高信頼化とメモリアクセスの高速化を両立し得る情報処理装置を提供することを目的とする。

本発明は、データを所定の方式で転送する第1のデータ転送インタフェースと、前記所定の方式とは異なる方式でデータを転送する第2のデ

ータ転送インタフェースを有するCPUと、前記第1のデータ転送インタフェースに対応する第1のエラー検出制御手段と、前記第2のデータ転送インタフェースに対応する第2のエラー検出制御手段を有し、メモリと前記CPUとの間でのデータの読み出し・書き込みを制御するメモリ制御部と、前記第1のエラー検出制御手段と第2のエラー検出制御手段をそれぞれ異なるアドレス空間に割り当て、前記メモリをアクセスするために発生されるアドレスに基づいて何れか一方のエラー検出制御手段を選択する選択手段を有し、前記選択手段の出力に基づいて選択された前記第1又は第2のエラー検出制御手段によりメモリをアクセスするようにしたことに特徴がある。

具体的には、前記第1のデータ転送インタフェースはバーストアクセス方式でデータを転送するためのものであり、前記第2のデータ転送インタフェースはシングルアクセス方式でデータを転送するためのものである。更に、前記第1のエラー検出手段及び第2のエラー検出手段は共にECC制御機能を有するものであり、特に、第2のエラー検出制御手段は、 n ビット幅より少ないデータに対して始めに n ビット境界のデータをメモリより読み出し、この読み出したデータに、 n ビット幅より小さい書き込みデータを埋め込み、その上でエラー訂正符号を付加する（パースャルライトを実行）。

本発明によれば、バーストアクセスインタフェースとシングルアクセスインタフェースを適宜選択しECCによる高信頼化がなされるので、通常は高速なバーストアクセスインタフェースを使用し、必要とするときのみシングルアクセスを使用してメモリアクセスの平均的高速化を図ることができる。

従って、ECCによる高信頼化とバーストアクセスインタフェースに

よるメモリアクセスの高速化の両立が可能となる。

図面の簡単な説明

第1図は、本発明の一実施例の概要構成を示すブロック図である。

第2図は、アドレス空間割り当てを示すマップである。

第3図は、アドレスデコード方法を示すブロック図である。

第4図は、アドレス空間割り当てを示すマップである。

第5図は、アドレスデコード方法を示すブロック図である。

第6図は、MCU内部構成を示すブロック図である。

第7図は、簡単化されたMCU内部構成を示すブロック図である。

第8図は、CPUとMCUとSDRAMの接続関係を示す配線図である。

第9図は、MCU内部のデータパスの構成を示すブロック図である。

第10図は、MCU内部の制御部の構成を示すブロック図である。

第11図は、レイテンシ設定法を示すブロック図である。

第12図は、バーストアクセスによる読み出し動作を示すタイムチャートである。

第13図は、バーストアクセスによる書き込み動作を示すタイムチャートである。

第14図は、シングルアクセスによる読み出し動作を示すタイムチャートである。

第15図は、シングルアクセスによる32ビット書き込み動作を示すタイムチャートである。

第16図は、シングルアクセスによるパーシャルライト動作を示すタイムチャートである。

第 17 図は、エラーアドレスラッチの動作を示すタイムチャートである。

第 18 図は、本発明の一実施例を示すブロック図である。

第 19 図は、本発明の一実施例を示すブロック図である。

第 20 図は、本発明の一実施例を示すブロック図である。

第 21 図は、システム構成を示すブロック図である。

第 22 図は、システムバスとの接続方法を示すブロック図である。

発明を実施するための最良の形態

以下、本発明の実施例を図面を用いて説明する。

(実施例 1)

第 1 図は本発明の一実施例の概要を示すブロック図である。

CPU(中央演算処理装置, Central Processing Unit, マイコン)

101 とMCU(メモリ制御部, Memory Control Unit) 102 とメモリ 103 により構成する。

CPU101はキャッシュメモリ 104 を内部に備える。CPUの内部レジスタとメモリとの間のデータ転送命令を実行する際、あるいは命令フェッチの際、キャッシュメモリ上にコピーが存在しないとき(キャッシュミス)、外部のメモリ 103 へのアクセス動作を開始する(内部I/F112)。外部のメモリ 103 へのアクセスはバーストアクセス I/F 機能106 あるいはシングルアクセス I/F 機能 107 を選択する。選択の判断はデコード回路 105 によって行う。デコード回路 105 は内部I/F112の一部のアドレス 113 をもとにアドレス空間を識別する。バーストアクセス I/F 機能 106 の外部メモリ用入出力 114 とシングルアクセス I/F 機能 107 の外部メモリ用入出力 115 を選択する機能を持つ選

択部 108 はデコード回路 105 の出力 116 でどちらかを選ぶ。選択されたものが CPU101 の外部 (外部入出力 I/F117) へ現れる。

MCU102 は ECC をサポートする目的のもので、本発明の特徴を有するものである。内部にバーストアクセス用 ECC 制御機能 109 とシングルアクセス用 ECC 制御機能 110 を有する。バーストアクセス用 ECC 制御機能 109 は 32 ビットのデータをパイプライン動作して連続転送するもので、32 ビットのデータごとにエラー検出、ECC 生成を行う。シングルアクセス用 ECC 制御機能 110 は 32 ビット単位の読み出しと書き込み、16 ビット、8 ビット単位の書き込み (パーシャルライト) を ECC 付きで行うものである。これら 2 つの ECC 制御機能の選択は CPU101 の内部と対応しなければならない。従ってバーストアクセス用 ECC 制御機能 109 の外部メモリ用入出力 119 とシングルアクセス用 ECC 制御機能 110 の外部メモリ用入出力 120 を選択する機能を持つ選択部 111 はデコード回路 105 の出力 116 でどちらかを選ぶ。選択されたものが MCU102 の外部 (外部メモリ I/F121) へ現れる。サイクル延長要求信号である \wedge WAIT 出力 118 はシングルアクセス用 ECC 制御機能 110 にのみサポートし、パーシャルライトを行う際に生じるサイクル延長を実現する。

メモリ 103 は高速バースト転送機能をサポートしているもので、DRAM, SDRAM などで構成する。

つぎに第 1 図におけるデコード回路 105 の機能について詳細を説明する。

デコード回路 105 はバーストアクセスを行うエリア (パーシャルライト不可) とシングルアクセスを行うエリア (パーシャルライト可) をアドレス空間に割り当てる機能を担う。

第2図はアドレス空間割り当ての実施例である。

パーシャルライト不可のエリアA 200とパーシャルライト可のエリアB 201を全く別の空間に割り当てたことを示す。それぞれのエリアは実メモリエリア202に等しい大きさを持ち、それぞれのエリアへのアクセスは実体がただ一つのメモリに対して行われる。

第3図は、第2図に示した割当方法をデコード回路105で実現する構成を示す。

アドレス113はmビットでバイトアドレスを指し示し、メモリ103は(2のn乗)バイトの容量を持つとする。このときメモリ103の領域(第2図の202)の特定のバイトアドレスを指定するのはLSB(最下位ビット)のb0からb(n-1)までのビット301である。アドレス空間のエリアA 200とエリアB 201を指定するのはbnからb(m-1)までのビット300である。デコードA302の回路でエリアAを識別する。一方、デコードB303の回路でエリアBを識別する。

具体例として、アドレス113が32ビット構成、メモリ103の容量が8メガバイトの場合、 $m=32$ 、 $n=23$ である。アドレス空間は128個の8メガバイトアドレスエリアに分割される。通常、一つのエリアにメモリ103の空間を割り当ててが、本実施例は唯一のメモリを2つのエリアA、Bからそれぞれ8メガバイトアドレスエリアとしてアクセスできるように割り当てるのである。

本発明の特徴として、エリアA 200はバーストアクセスを行うエリア(パーシャルライト不可)に、エリアB 201はシングルアクセスを行うエリア(パーシャルライト可)にする。システムとしての使い分けは、コピーバック方式のキャッシュメモリを使用し、キャッシュのライ

ン単位（16バイト単位等）でバーストアクセス転送しか生じないエリアをエリアA200とし、キャッシュをOFFの状態で使用し16ビット、8ビット単位の書き込みが必要となるエリアをエリアB201とする。ソフトウェアでこの2つのエリアを使い分ける。

第8図は、第1図のメモリ103をSDRAMで構成し、このSDRAMとCPU101とMCU102との接続関係を示したものである。

16Mビット(1048576ワード×8ビット×2バンク構成)のSDRAMを5個使用し、4個(822～825)は32ビットのデータ幅で8Mバイトの容量とし、1個(826)は7ビットのECCデータを割り当てる構成である。32ビットのデータに対して7ビットのECCビットを付加するのは一般にSECDED (Single bit Error Correction/Double bit Error Detection)と呼ばれる方式によるものである。SECDED方式は1ビットの誤り訂正機能と2ビットの誤り検出機能を有する。

以下、各接続信号について簡単に説明する。

(1) CPU101とMCU102のインタフェース信号

番号	CPU信号名	説明
801	$\wedge CS_A$	メモリのバーストアクセス選択を示す。 第1図の116に対応する。
802	$\wedge CS_B$	メモリのシングルアクセス選択を示す。 第1図の116に対応する。
601	ADDR[22:2]	アドレス出力である。 ビット22～2, 21本から成る。 (2M×4)バイト空間を指定する。 バーストアクセス時は[13:2]に行 (column)アドレスと列(row)アドレスが時

分割出力される。

- 602 DATA[31:0] データ入出力である。
32ビット, 4バイトの幅を持つ。
- 805 RD/^WR メモリの読み出し/書き込みを示す。
- 806 ^RAS 行アドレスストローク信号である。
バーストアクセスI/Fで使用する。
- 807 ^CAS 列アドレスストローク信号である。
バーストアクセスI/Fで使用する。
- 808 DQMLL/^WE0 DATA[7:0]の書込マスクである。
- 809 DQMLH/^WE1 DATA[15:8]の書込マスクである。
- 810 DQMHL/^WE2 DATA[23:16]の書込マスクである。
- 811 DQMH/H/^WE3 DATA[31:24]の書込マスクである。
- 118 ^WAIT ウェイト信号入力である。
シングルアクセス時、サイクル延長を要求できる。

(2) MCU102とSDRAM(822~826)のインタフェース信号

- | 番号 | MCU信号名 | 説明 |
|-----|----------|---|
| 827 | ^cs | チップセレクト信号である。
アサート時のみSDRAMの他の制御信号は有効となる。 |
| 622 | A[11:0] | アドレス出力である。 |
| 812 | D[7:0] | データ入出力, 第0バイトである。 |
| 813 | D[15:8] | データ入出力, 第1バイトである。 |
| 814 | D[23:16] | データ入出力, 第2バイトである。 |
| 815 | D[31:24] | データ入出力, 第3バイトである。 |

- 816 D[38:32] ECCデータ入出力である。
- 817 \overline{WE} 書き込みイネーブルである。
- 818 \overline{RAS} 行アドレスストローク信号である。
- 819 \overline{CAS} 列アドレスストローク信号である。

(3) その他

番号	SDRAM信号名	説明
820	DQM	データ入出力マスク。 本実施例では使用しない(マスクしない)。 グラウンド821に接続固定。

本発明において注目しておくべき点は以下のとおりである。

(ア) $\overline{CS_A}$ (801) と $\overline{CS_B}$ (802) によりメモリのバーストアクセスとシングルアクセスを選択すること。

(イ) ADDR (601) がバーストアクセスとシングルアクセスで動作が異なること。

(ウ) \overline{RAS} (806) と \overline{CAS} (807) はバーストアクセスでのみ使用すること。

(エ) \overline{WAIT} (118) はシングルアクセスでのみ使用すること。

これより、MCU102について詳細を説明する。

第6図にMCUの内部構成を示す。

バーストアクセス用ECC制御機能109の内部は大きくわけてデータパスA608と制御部A609で構成する。データパスA608の内部は、アドレス601を入力してそれを操作し出力(631)する「アドレス操作部A」612と、読み出し時にデータを入力(626)してECCによるエラー検出および訂正を行い出力(629)する「エラー検出／訂正部A」613と、書込時にデータを入力(607)してECC

ビットを生成し出力（6 3 8）する「E C C 生成部 A」 6 1 4 から成る。

一方、シングルアクセス用 E C C 制御機能 1 1 0 の内部は大きくわけてデータパス B 6 1 0 と制御部 B 6 1 1 で構成する。データパス B 6 1 0 の内部は、アドレス 6 0 1 を入力してそれを操作し出力（6 3 2）する

「アドレス操作部 B」 6 1 5 と、読み出し時にデータを入力（6 2 6）して E C C によるエラー検出および訂正を行い出力（6 3 0）する「エラー検出／訂正部 B」 6 1 6 と、書込時にデータを入力（6 0 7）して E C C ビットを生成し出力（6 3 4）する「E C C 生成部 B」 6 1 7 から成る。

「エラー検出／訂正部 B」 6 1 6 からの出力 6 3 0 と同時に E C C 生成部 6 1 7 にも同じデータを出力する（6 3 7）。このデータ出力 6 3 7 はパシシャルライトを行うときにメモリから一度読み出したデータを書込データ（6 0 7）とマージ(Merge)するためのデータパスである。

選択部 1 1 1 の内部はアドレス、データ読み出し、データ書き込み、制御信号に対応して選択機能を持つ。選択機能 6 1 9 はアドレス出力 6 3 1 と 6 3 2 を選択する。選択機能 6 1 8 はデータ読み出し時のためにデータ 6 2 9 と 6 3 0 を選択する。選択機能 6 2 0 は書き込み時のためにデータ 6 3 3 と 6 3 4 を選択する。選択機能 6 2 1 は制御信号 6 3 5 と 6 3 6 を選択する。

CPU101 との外部入出力 I/F 117 はアドレス 6 0 1、データ 6 0 2、そしてその他の制御信号 6 0 3 を有する。一方、メモリとのインタフェース信号 1 2 1 はアドレス 6 2 2、データ 6 2 3、そしてその他の制御信号 6 2 4 から成る。

データ 6 0 1、6 2 3 は CPU101 が読み出しを行うときと書き込みを行うときとで入出力方向が異なるため 2 つの E C C 制御機能 1 0 9、110

や選択部 1 1 1 には分別して配送する。データの読み出しにはバッファ 6 2 5, バッファ出力 6 2 6, 選択部出力 6 0 6, バッファ 6 0 4 を使用し、書き込みにはバッファ 6 0 5, バッファ出力 6 0 7, 選択部出力 6 2 8, バッファ 6 2 7 を使用する。

第 6 図の構成は本発明の基本的な考え方をそのまま適用した場合であり、これを単純化してハードウェアコストを抑えることができる。「エラー検出／訂正部 B」 6 1 6 は「エラー検出／訂正部 A」 6 1 3 と同一とすることができ、また、「ECC 生成部 B」 6 1 7 は「ECC 生成部 A」 6 1 4 との違いをマージ機能の有無のみとすることができるのである。従ってこれらは兼用することが可能であり別個に備える必要はない。兼用した場合その出力の選択部も省略できる。

第 6 図で示した構成を機能の兼用により単純化したものを第 7 図に示す。

第 6 図に示したものの違いは兼用化した「エラー検出／訂正部 A B」 7 0 1 と「ECC 生成部 A B」 7 0 2 である。これらの出力 7 0 4 と 7 0 5 に対する選択部は不要であり省略した。「ECC 生成部 A B」 7 0 2 はマージ機能を持ち、「エラー検出／訂正部 A B」 7 0 1 の出力データ 7 0 3 と書込データ 6 0 7 のマージが可能である。マージ機能は制御部 B の指示によりパシシャルライトを行うときにのみ使用するものである。

これより、第 7 図の構成を元にした実施例をより詳細に説明をする。

第 9 図は、MCU 内部のデータパスの構成を示す図で、第 7 図におけるデータパス 7 0 6 の部分を第 8 図の接続関係に合わせて示したものである。

アドレス操作部 A 6 1 2 はバーストアクセス時のアドレスを操作する

ためのものである。アドレス操作部 A 6 1 2 で必要な機能は書き込み時には ECC 生成を行うために列アドレスを S D R A M に与えるタイミングを 1 サイクル遅らせることである(後述)。従って、書き込み時の列アドレスを S D R A M に与えるときは列アドレス用ラッチ 9 0 1 の出力 9 0 2 を選択(セレクタ 9 0 3)し、それ以外の時は A D D R [1 3 : 2] をそのまま出力する(6 3 1)。出力 6 3 1 は選択部 6 1 9 により、第 8 図の ^ C S _ A 8 0 1 がアサートされているとき有効となる。

アドレス操作部 B 6 1 5 はシングルアクセス時のアドレスを操作するためのものである。シングルアクセス時はここで行アドレス(A D D R [2 2 : 1 1] に対応)と列アドレス) A D D R [2 2] と A D D R [1 0 : 2] に対応、A D D R [2 2] はバンク選択) を選別し S D R A M に与えるようにする(9 0 5, 9 0 6, 9 0 7, 6 3 2)。出力 6 3 2 は選択部 6 1 9 により、第 8 図の ^ C S _ B 8 0 2 がアサートされているとき有効となる。

「エラー検出/訂正部 A B」7 0 1 はエラー検出および訂正機能 9 1 9 とエラーアドレス保持部 9 0 4 を備える。

エラー検出および訂正機能 9 1 9 は SECDED 方式により読み出しデータのエラー検出および訂正を行う。読み出しデータはバーストアクセス実行時、シングルアクセス実行時共にエラー検出および訂正機能 9 1 9 を通して CPU101 にデータを転送する。

エラーアドレス保持部 9 0 4 は読み出しデータにエラーを検出した際にそのアドレスを保持しておき、後ほど CPU101 から読み出せるようにするためのものである。データにエラーを検出したとき、割り込みを発生させたり、ある特定のレジスタにフラグを立てておくなどして CPU101 に通知しておけばよい。

エラーアドレス保持部 904 の内部構成を説明する。行アドレスラッチ 908 と列アドレスラッチ 909、そしてこれら 2 つのラッチの出力 911 を合わせて入力とするエラーアドレスラッチ 910 から成る。選択 619 の出力からアドレスの再構成を行うようにすることによって、バーストアクセス時にもシングルアクセス時にも共通に用いることができる。セクタ 913 はエラーアドレスの読み出しの際にのみエラーアドレスラッチ 910 の出力 912 を選択出力 (704) するものであり、それ以外の時はエラー検出および訂正機能 919 の出力 703 を選択出力する。

「ECC 生成部 A B」 702 はマージ機能 915 を持ち、「エラー検出／訂正部 A B」 701 の出力データ 703 と書込データ 607 のマージが可能である。マージ機能は制御部 B の指示によりパーシャルライトを行うときにのみ使用するものである。パーシャルライトが発生すると、制御部 B により書き込むアドレスの 32 ビットデータをメモリから読み出す。パーシャルライトの書込データ (607 より) を読み出したデータ (703 より) に埋め込んで出力 (916) するように読み出す。パーシャルライトを行わないときはマージ機能は単に入力 607 をそのまますべて出力 (916) する。

ECC 生成 917 は 32 ビットのデータ 916 に対して 7 ビットの ECC ビットを生成する機能を持つ。テンポラリラッチ 918 は ECC 生成 917 が ECC ビットを生成する遅延時間に合わせてデータを 1 サイクルずつ保持するものである。

次に第 10 図は、MCU 内部の制御部の構成を示すブロック図で、第 7 図における制御部 A 609、制御部 B 611 の周辺部を第 8 図の接続関係に合わせて示したものである。

制御部 A 6 0 9 はバーストアクセス時の制御を担い、基本的には CPU101 のバーストアクセス時の制御信号をそのまま出力する。例外的場合は書き込み時に列アドレスと書込データを出力するときである。それは、E C C ビットを生成する遅延時間に合わせて列アドレスと書込データを 1 サイクル遅らせる必要があるためである。2 つのラッチ (1001, 1002) はそのためのものである。

制御部 B 6 1 1 はシングルアクセス時の制御を担う。シングルアクセス時には CPU101 は $\bar{A}S806$ と $\bar{A}C807$ による S D R A M の直接的制御信号を出力しない。従ってシングルアクセス時に制御部 B 6 1 1 はこれらを生成しなければならない (R A S / C A S 発生 1004)。また、各種制御のタイミングの調整 (1005)、そしてパースナルライトの制御 (1006) を行う必要がある。

選択 6 2 1 は制御部 A 6 0 9、制御部 B 6 1 1 の制御信号出力を選択する。本実施例では $\bar{C}S_B802$ のアサート時にのみ制御部 B 6 1 1 の制御信号出力を選択し、ネゲート時は制御部 A 6 0 9 の制御信号出力を選択するようにした。

次に第 11 図を用いて S D R A M の動作設定について説明する。

S D R A M (822 ~ 826) は読み出し時において、ADDR622 に列アドレスを与えてから何サイクル後にデータ出力 (812 ~ 816) を行わせるか (Cas Latency と呼ぶ) を内部レジスタに任意 (N サイクル) に設定することができる。これに対して CPU101 はバーストアクセス 1 / F 機能 106 に同様のレジスタをもち、これに設定しておくことでタイミングを合わせ所望のデータを受け取る (602) ことができる。MCU102 を間に置かず、直接 CPU101 が S D R A M を制御する場合はバーストアクセス 1 / F 機能 106 側の Cas Latency は S D R A M と等しい。しかし

本発明において、MCU102を間におき、「エラー検出／訂正部」701の遅延時間を確保するためにはSDRAMのNサイクルより大きいMサイクルをバーストアクセスI/F機能106側のCas Latency に設定する。そうすれば「エラー検出／訂正部」701の遅延時間は(M-N)サイクルを確保できる。

なお本実施例においてはMを3サイクル、Nを2サイクルに設定し、「エラー検出／訂正部」701の遅延時間(M-N)は1サイクルを確保した。

これより、第8図、第9図、第10図で示した構成についてタイムチャート(第12図～第17図)を用いて動作説明を行う。

第12図はバーストアクセスによる読み出し動作を示すタイムチャートである。

第13図はバーストアクセスによる書き込み動作を示すタイムチャートである。

第14図はシングルアクセスによる読み出し動作を示すタイムチャートである。

第15図はシングルアクセスによる32ビット書き込み動作を示すタイムチャートである。

第16図はシングルアクセスによるパースシャルライト動作を示すタイムチャートである。

第17図は第9図で示したエラーアドレス保持部904の動作例を示すタイムチャートである。

各図面には上から順に以下のものを示す。

“Cycle”(1200)：サイクル名。説明のために1バスサイクルの各時間に名前を付け指定する便宜上のもの

である。

CLOCK(1201): CPU101, MCU102, SDRAM(822~826)へ

の共通クロック信号の波形。

その他 : 第8図に示した接続信号の波形と第9図で示した機能の動作タイミングを示す。

第12図はバーストアクセスによるメモリの読み出し動作を示すタイムチャートである。

CPU101は1回のバースト転送につき4回データを読み出す。本実施例に用いたCPU101はアドレスの更新はCPU101が列アドレスを4回すべて指定する方式をとる。

CPU101からバーストアクセス時にはアドレス(601)の下位([13:2])に直接SDRAMが接続できるように行アドレスと列アドレスの値が出力される。r1サイクルで行(row)アドレス, r3~r6では列(column)アドレスが順次現われることを示す。これを受け取ったMCU102は特に操作等を行わずにSDRAMへ出力する(622, r1~r6)。MCU102内部でアドレス操作部A612を選択使用して実現できる。

SDRAMからの読み出しデータはr5~r8サイクルに現われる(812~816)。これらはr3~r6で発行された列アドレスに対応するものであり、サイクル遅れは前記Cas Latency 指定の値“2”に従うものである。

MCU102は読み出しデータを受け取り、内部の「エラー検出および訂正機能」919でエラー検出を行い、1ビットエラーが検出されたときは訂正する(r5~r9サイクルにかけて)。

最終的にデータがMCU102からCPU101に出力される(602)のはr6~r9サイクルである。CPU101は前記Cas Latency 指定の値“3”に従

って、このタイミングでデータを取りこむ。

以下は制御信号に関する説明である。

MCU102は $\overline{CS_A}$ (801) がアサートされたことでバーストアクセスのサイクルであることを認識する。 $\overline{CS_A}$ (801) がアサートされていれば、 $\overline{CS_B}$ (802) はアサートされない。MCU102内部で制御部A609が選択使用され制御信号が出力される。

SDRAMへの \overline{CS} (827) はバスサイクル中アサートする。

CPU101の出力RD/ \overline{WR} 805がハイレベルで読み出し動作を示すことを受けて、SDRAMへの \overline{we} 817もハイレベルのままである。

CPU101が作り出した \overline{RAS} 806と \overline{CAS} 807も読み出し時はそのままSDRAMへ出力する(818, 819)。

読み出し動作時はDQMxx/ \overline{WE} n (808～811) はすべてローレベルである。

第13図はバーストアクセスによるメモリへの書き込み動作を示すタイムチャートである。

CPU101は1回のバースト転送につき4回データを書き込む。本実施例に用いたCPU101ではアドレスの更新はCPU101が列アドレスを4回すべて指定する方式をとる。

CPU101からバーストアクセス時にはアドレス(601)の下位に直接SDRAMが接続できるように、行アドレスと列アドレスの値が出力される。w1サイクルで行アドレス、w3～w6では列アドレスが順次現われることを示す。これを受け取ったMCU102はECC生成のため1サイクル分データ転送が遅れることに合わせ、1サイクル遅れで列アドレスをSDRAMへ出力する(622, w4～w7)。MCU102内部でアドレス操作部A612内セクタ903の信号902側を選択する。

SDRAMへの書き込みデータ602はw3～w6サイクルに現われる。これらは同じくw3～w6で発行された列アドレスに対応するものである。

MCU102は書き込みデータを受け取り、内部の「ECC生成」917でECCビットの生成を行う。

最終的にデータとECCビットは1サイクル遅れでw4～w7サイクルの期間にMCU102からSDRAMに出力する(812～816)。

以下は制御信号に関する説明である。

MCU102は $\overline{CS_A}$ (801)がアサートされたことでバーストアクセスのサイクルであることを認識する。 $\overline{CS_A}$ (801)がアサートされていれば、 $\overline{CS_B}$ (802)はアサートされない。MCU102内部で制御部A609が選択使用され制御信号が出力される。

SDRAMへの \overline{CS} (827)はバスサイクル中アサートする。

CPU101の出力RD/ \overline{WR} 805がローレベルで書き込み動作を示すことを受けて、SDRAMへの \overline{we} 817はデータ(812～816)に合わせ、ローレベルを1サイクル遅延して出力する。

CPU101が作り出した \overline{RAS} 806については読み出し時と同様そのままSDRAMへ出力すればよい(\overline{ras} 818)。 \overline{CAS} 807については、データ(812～816)に合わせ、ローレベルを1サイクル遅れで出力する(\overline{cas} 819)。

バーストアクセスの書き込み動作時、 $DQM \times x / \overline{WE} n$ (808～811)はすべてローレベルである。

第14図はシングルアクセスによるメモリの読み出し動作を示すタイムチャートである。

CPU101は1回のシングルアクセス転送につき1回だけデータを読み出

す。

シングルアクセス時はCPU101からのアドレス（601）には単にビット[22:2]にそのまま値が出力されるだけであり、MCU内部でSDRAMへ与える行アドレス，列アドレスにするための操作を行う。R2サイクルで行アドレス，R4サイクルでは列アドレスを順次SDRAMへ出力する（622）。これはMCU102内部でアドレス操作部B615を選択して実現する。

SDRAMからの読み出しデータはR6サイクルに現われる（812～816）。これらはR4サイクルで発行された列アドレスに対応するものであり、サイクル遅れは前記Cas Latency 指定の値に従っている。

MCU102は読み出しデータを受け取り、内部の「エラー検出および訂正機能」919でエラー検出を行い、エラーが検出されたときは訂正する（R6～R7サイクル）。

最終的にデータがMCU102からCPU101に出力される（602）のはR7サイクルである。

以下は制御信号に関する説明である。

MCU102は $\wedge CS_B$ （802）がアサートされたことでシングルアクセスのサイクルであることを認識する。MCU102内部で制御部B611が選択使用され制御信号が出力される。

SDRAMへの $\wedge CS$ （827）は $\wedge ras818$ と $\wedge cas819$ に合わせR2～R4のサイクルでアサートする。

CPU101の出力RD/ $\wedge WR$ 805がハイレベルで読み出し動作を示すことを受けて、SDRAMへの $\wedge we$ 817もハイレベルのままである。

CPU101は $\wedge RAS806$ と $\wedge CAS807$ を出力しないので $\wedge ras818$ と $\wedge cas819$ をMCU102内部の制御部B611で生成する（R2，R4サイクル）。

読み出し動作時は $DQM \times x / \overline{WE}n$ (808~811) はすべてローレベルである。

$\overline{WAIT}118$ は R 3 サイクルはじめのクロック立ち上がりから CPU101 にサンプリングされる。データが MCU102 は R 2 ~ R 6 サイクルにアサートするように制御する。

第 15 図はシングルアクセスによるメモリへの 32 ビットデータの書き込み動作を示すタイムチャートである。

CPU101 は 1 回のシングルアクセス転送につき 1 回だけデータを書き込む。

シングルアクセス時は CPU101 からのアドレス (601) には単にビット [22 : 2] にそのまま値が出力されるだけであるため、MCU 内部で SDRAM へ与える行アドレス、列アドレスにするための操作を行う。W 2 サイクルで行アドレス、W 4 サイクルでは列アドレスを順次 SDRAM へ出力する (622)。これは MCU102 内部でアドレス操作部 B 615 を選択使用して実現できる。

CPU101 からの書き込みデータ 602 はアドレス 601 と同様に出力される。

MCU102 は書き込みデータ 602 を受け取り、内部の「ECC 生成」917 で ECC ビットの生成を行う。

最終的にデータが MCU102 から SDRAM に出力される (812~816) のは W 4 サイクルである。

以下は制御信号に関する説明である。

MCU102 は $\overline{CS_B}$ (802) がアサートされたことでシングルアクセスのサイクルであることを認識する。MCU102 内部で制御部 B 611 が選択使用され制御信号が出力される。

SDRAMへの \bar{CS} (827) は $\bar{ras}818$ と $\bar{cas}819$ に合わせW2～W4のサイクルでアサートする。

CPU101の出力RD/ \bar{WR} 805がローレベルとなり書き込み動作を示すことを受けて、SDRAMへの $\bar{we}817$ も \bar{cas} に合わせてW4サイクルでローレベルを出力する。

CPU101は $\bar{RAS}806$ と $\bar{CAS}807$ を出力しないので $\bar{ras}818$ と $\bar{cas}819$ をMCU102内部の制御部B611で生成する(R2, R4サイクル)。

32ビットデータの書き込み動作時はDQMxx/ $\bar{WE}n$ (808～811) はすべてローレベルである。

$\bar{WAIT}118$ はW3サイクルはじめのクロック立ち上がりからCPU101にサンプリングされる。MCU102はW2～W3サイクルにアサートするよう制御する。

第16図はシングルアクセスによるメモリへのパースシャルライト動作を示すタイムチャートである。

パースシャルライト動作はECCビットを32ビット単位のデータに対して付加していることから、以下の手順が必要である。

- a) 書き込むアドレスの32ビットデータを読み出す。(ECCチェックする。)
- b) 書き込むデータをa)のデータに埋め込んで新たな32ビットデータをつくる。
- c) b)のデータに対しECCビットを生成してからメモリへ書き込む。

上記手順を踏まえて説明する。

シングルアクセス時はCPU101からのアドレス(601)には単にビット[22:2]にそのまま値が出力されるだけであり、MCU内部で

SDRAMへ与える行アドレス、列アドレスにするための操作を行う。
まず、手順a)のためPW2サイクルで行アドレス、PW4サイクルでは列アドレスを順次SDRAMへ出力する。次に手順c)のためPW8サイクルに列アドレスをSDRAMへ出力する(622)。以上はMCU102内部でアドレス操作部B615を選択して実現する。

SDRAMからの読み出しデータはPW6サイクルに現われる(812～816)。これらはPW4サイクルで発行された列アドレスに対応するものであり、サイクル遅れは前記Cas Latency 指定の値に従っている。

MCU102は読み出しデータを受け取り、内部の「エラー検出および訂正機能」919でエラー検出を行い、エラーが検出されたときは訂正する(PW6～PW7サイクル)(手順a))。

CPU101は書き込みデータ602をアドレス601と同様に出力する。
PW7サイクルで「エラー検出および訂正機能」919を経たデータとCPU101からの書き込みデータ602をマージ(917)する(手順b))。
マージ後のデータに「ECC生成」917でECCビットの生成を行い、最終的にデータをMCU102からSDRAMへ出力する(812～816)のはPW8サイクルである。なおマージするバイト位置はDQMxx/^WE_n(808～811)で判断する。

以下は制御信号に関する説明である。

MCU102は^CS_B(802)がアサートされたことでシングルアクセスのサイクルであることを認識する。MCU102内部で制御部B611が選択使用され制御信号が出力される。

SDRAMへの^CS(827)は^ras818と^cas819に合わせPW2～PW4およびPW8のサイクルでアサートする。

CPU101の出力RD/^WR805がローレベルとなり書き込み動作を示

すことを受けて、SDRAMへの $\bar{w}e817$ も $\bar{c}as$ に合わせてPW8サイクルでローレベルを出力する。

CPU101は $\bar{R}AS806$ と $\bar{C}AS807$ を出力しないので $\bar{r}as818$ と $\bar{c}as819$ をMCU102内部の制御部B611で生成する(PW2, PW4, PW8サイクル)。

パーシャルライト動作時は $DQM \times x / \bar{W}En$ (808~811)は書き込みバイト位置を示している。制御部B611はこのうちハイレベルになっているものが1つでもあればパーシャルライトであることを認識する。

$\bar{W}AIT118$ はPW3サイクルはじめのクロック立ち上がりからCPU101にサンプリングされる。MCU102はPW2~PW7サイクルにアサートするように制御する。第15図と第16図を比べると実行サイクル数が異なり、CPU101に対する $\bar{W}AIT$ のアサート時間を変えて動作を保証する。

第17図は第9図で示したエラーアドレス保持部904の動作例を示すタイムチャートである。シングルアクセスによるメモリの読み出し動作でエラーを検出した場合を示す。

シングルアクセスによるメモリの読み出し動作ではR2サイクルで行アドレス、R4サイクルでは列アドレスを順次SDRAMへ出力する(622)。これをエラーアドレス保持部904のラッチで順次保持しておく(Row_Latch908, Col_Latch909)。

R6~R7サイクルにかけて「エラー検出および訂正機能」919でエラー検出を行う。もしエラーが検出されたら上記2つのラッチ(908と909)の値をエラーアドレスラッチ(Err.Addr_Latch910)に取り込むよう制御する(R8サイクル)。

第21図は本発明をシステムとして構成したときのブロック図である。

モジュール 2106 は以下のもので構成する。

CPU101, MCU102, メモリ (SDRAM) 103 はこれまで説明したものである。更に、システムバス 2100 を通じてセンサ 2114 やアクチュエータ 2115 と接続 2107 して情報交換し、機器制御を行うための I/OIF (2101) と、ハードディスク装置 2111 と接続 2108 して情報交換を行う SCSIIF (2102) と、ローカルエリアネットワーク 2112 と接続 2109 して、他のコアモジュールと情報交換を行う LANIF (2103) と、ブートプログラムを搭載する PROM (2104, Programable Read Only Memory) と、コンソール 2113 とシリアル接続 2110 して使用者とのインターフェースを図るシリアルIF (2105) から構成する。

第 22 図は第 21 図で示したシステム構成により MCU102 をシステムバス 2100 に接続する方法を示す。

本構成では以下のアクセスが可能である。

(ア) CPU101 が MCU102 を介してメモリ 103 をアクセスする。

(イ) CPU101 が MCU102 を介してシステムバス上のデバイスをアクセスする。

(ウ) システムバス上のデバイスが MCU102 を介してメモリ 103 をアクセスする。

上記 (ア) はこれまで説明したとおりである。

なお、第 22 図ではセクタ 2214 を新たに追加した。(ア) のアクセスの時はデコード回路 105 の出力 116 を選択するように制御する。

上記 (イ) について説明する。

CPU101 の外部入出力 I/F 117 はメモリアクセスだけでなく、シス

テムバス上のデバイスをアクセスするときにも用いる。外部入出力 I / F 1 1 7 はバスインタフェース部 2 2 1 0 のスレーブ入出力部 2 2 1 3 に接続し、この経路によってシステムバス上のデバイスをアクセスすることができる。

CPU101からのアクセスはシングルアクセス I / F 機能 1 0 7 を使用する。スレーブ入出力部 2 2 1 3 からの ^WAIT2217 はセクタ 2 2 1 5 を介してシングルアクセス I / F 機能 1 0 7 へ伝わり、システムバス上のデバイスごとのデータ転送速度の違いに対応する。

上記 (ウ) について説明する。

システムバス上のデバイスからメモリ 1 0 3 へのアクセスはバスインタフェース部 2 2 1 0 のマスタ入出力部 2 2 1 2 を通じて行う。マスタ入出力部 2 2 1 2 からメモリ 1 0 3 へのアクセスはCPU101からメモリ 1 0 3 へのアクセスが発生するときと同様である。

システムバス上のデバイスの要求により、バスインタフェース部 2210 からメモリ 1 0 3 へのアクセスが起動される (I/F2204) と、メモリ 103 へのアクセスはバーストアクセス I / F 機能 2 2 0 1 あるいはシングルアクセス I / F 機能 2 2 0 2 が選択される。選択の判断はデコード回路 2 2 0 0 によって行う。デコード回路 2 2 0 0 は I/F2204 の一部のアドレス 2 2 0 5 をもとにアドレス空間を識別する。バーストアクセス I / F 機能 2 2 0 1 の入出力 2 2 0 7 とシングルアクセス I / F 機能 2202 の入出力 2 2 0 8 を選択する機能を持つ選択部 2 2 0 3 はデコード回路 2 2 0 0 の出力 2 2 0 6 でどちらかを選ぶ。選択した入出力はCPU101の入出力 I / F 1 1 7 へ接続される。サイクル延長要求信号である

^WAIT2216 はシングルアクセス I / F 機能 1 0 7 にのみサポートする。

このようにして、システムバス上のデバイスがメモリ 1 0 3 をアクセ

スするときも、必要に応じてバーストアクセスとシングルアクセスの選択が可能である。

以上説明したように、ECCによる高信頼化を行えば、通常は高速なバーストアクセスインタフェースを使用し、必要とするときのみシングルアクセスを使用してメモリアクセスの平均的高速化を図ることができる。

(実施例2)

第4図はアドレス空間割り当ての他の例である。

パーシャルライト不可のエリアA400とパーシャルライト可のエリアB401を連続した別の空間に割り当てたことを示す。それぞれのエリアを合わせて実メモリエリア202内にちょうど収まる大きさを持ち、それぞれのエリアへのアクセスは実体はただ一つのメモリに対して行われる。

第5図は第4図に示した割当方法をデコード回路105で実現する構成をしめす。

アドレス113はmビットでバイトアドレスを指し示し、メモリ103は(2のn乗)バイトの容量を持つ。このときメモリ103の領域(図4の202)の特定のバイトアドレスを指定するのはLSB(最下位ビット)のb0からb(n-1)までのビット301である。アドレス空間のエリアA400とエリアB401を合わせた領域を指定するのはbnからb(m-1)までのビット300である。デコードAorB(502)の回路で「エリアAまたはエリアB」を識別する。

デコード(A)501の回路はメモリ103の領域(第4図の202)内でのエリアAを識別するもので、アドレス113のb(n-1)ビットから下位のビット(必要なビット数だけ)500を入力にする。

デコード(A) 501の出力503とデコードA or B (502)の出力504の論理積(AND, 507)の出力はエリアAを指し示す。

デコード(A) 501の出力503を論理反転(NOT, 505)した出力506とデコードA or B (502)の出力504の論理積(AND, 507)の出力はエリアBを指し示す。

本方式によれば使用するメモリ空間を実メモリエリア202内に抑えることが出来る。

(実施例3)

第18図は本発明の他の実施例の概要を示す構成ブロック図である。

第1図に示した構成と異なるのはバーストアクセスとシングルアクセスの選択方法である。選択の判断はプログラム手段によるものであり、レジスタ1800にどちらを選択するか設定する。レジスタ1800の出力1801は選択部108と選択部111に指示を与える。この場合、メモリのマッピングは実施例1と異なりアドレス空間で識別する必要はない。

本構成は通常の動作において高速なバーストアクセスを選択するようレジスタ1800に設定しておく。パーシャルライトが必要になると判断されたときは、シングルアクセスを選択するようレジスタ1800に設定してからパーシャルライトを実行する。その後、バーストアクセスを選択するようレジスタ1800に設定してから通常の動作に戻るようになる。

第19図は第18図に示した構成の改良例である。

第18図に示した構成と異なるのはレジスタ1800と同等のレジスタ1900をMCU102の内部に用意したことである。MCU102の選択部111への選択指示はレジスタ1900の出力1901が行う。この構成によ

ればCPU101はレジスタ1800の出力1801を外部に出力する必要はなくなるという利点がある。

通常の動作では高速なバーストアクセスを選択するようレジスタ1800とレジスタ1900に設定しておく。パーシャルライトが必要になると判断されたときは、シングルアクセスを選択するようレジスタ1800とレジスタ1900両方に設定してから、パーシャルライトを実行する。その後、バーストアクセスを選択するようレジスタ1800とレジスタ1900両方に設定してから通常の動作に戻るようにする。

(実施例4)

第20図は本発明のもう一つの実施例の概要を示す構成ブロック図である。

第1図に示した構成と異なるのはバーストアクセスとシングルアクセスの選択方法である。CPUは仮想メモリ(Virtual Memory)を行うためのTLB(Translation Lookaside Buffer, 2000)を有する。このTLBは、4Kバイトページ単位に論理アドレスを物理アドレスに変換するアドレス変換テーブルをエントリ内に有しており、このTLBの各アドレス変換テーブルごとに「I/F選択ビット」を新たに設け、その出力値2001が選択部108と選択部111に指示を与えるようにするのである。

TLBエントリにアドレス変換テーブルを登録する時にパーシャルライトが必要なページには「I/F選択ビット」をシングルアクセスを選択するように設定すればよい。

請 求 の 範 囲

1. 少なくとも、メモリ、CPU、メモリ及びCPU間でのデータの読み出し・書き込みを制御するメモリ制御部とを備えた情報処理装置において、

前記CPUは、Mビット単位にデータを転送する第1のデータ転送手段と、Nビット ($M > N$) 単位にデータを転送する第2の転送手段とを有し、

前記メモリ制御部は、前記第1のデータ転送手段に対応して前記Mビットのデータのエラーを検出する第1のエラー検出手段と、前記第2のデータ転送手段に対応して前記Nビットのデータのエラーを検出する第2のエラー検出手段を有し、

前記メモリをアクセスするために発生されるアドレスに基づいて前記第1及び第2のデータ転送手段のうちの何れか一方を選択する選択手段を設けたことを特徴とする情報処理装置。

2. 請求項1において、

前記第1のデータ転送手段はバーストアクセス方式でデータを転送し、前記第2のデータ転送手段は、シングルアクセス方式でデータを転送することを特徴とする情報処理装置。

3. データを所定の方式で転送する第1のデータ転送インタフェースと、前記所定の方式とは異なる方式でデータを転送する第2のデータ転送インタフェースを有するCPUと、

前記第1のデータ転送インタフェースに対応する第1のエラー検出制御手段と、前記第2のデータ転送インタフェースに対応する第2のエラー検出制御手段を有し、メモリと前記CPUとの間でのデータの読み出し・書き込みを制御するメモリ制御部と、

前記第 1 のエラー検出制御手段と第 2 のエラー検出制御手段をそれぞれ異なるアドレス空間に割り当て、前記メモリをアクセスするために発生されるアドレスに基づいて何れか一方のエラー検出制御手段を選択する選択手段を有し、

前記選択手段の出力に基づいて選択された前記第 1 又は第 2 のエラー検出制御手段によりメモリをアクセスすることを特徴とする情報処理装置。

4. 請求項 3 において、

前記第 1 及び第 2 のエラー検出制御手段は、前記メモリへの書き込みアクセス時、書き込むべきデータに対し所定ビットのエラー訂正符号を付加して書き込み、前記メモリからの読み出しアクセス時、読み出されたデータ中のエラー訂正符号に基づいてエラー検出訂正を行うことを特徴とする情報処理装置。

5. 請求項 4 において、

前記第 1 のエラー検出制御手段は固定周期で処理を実行し、前記第 2 のエラー検出手段は可変周期で処理を実行することを特徴とする情報処理装置。

6. 請求項 3 において、

前記第 1 のデータ転送インタフェースはバーストアクセスインタフェースであり、前記第 2 のデータ転送インタフェースはシングルアクセスインタフェースであることを特徴とする情報処理装置。

7. 請求項 6 において、

前記第 1 のデータ転送インタフェースは、行アドレス及び列アドレスを時分割で前記メモリ制御部へ出力することを特徴とする情報処理装置。

8. 請求項 4 において、

前記CPUは前記メモリに対してNビット単位にアクセスするものであり、前記第2のエラー検出制御手段は、nビット幅より少ないデータを前記メモリに書き込む場合、前記メモリより読み出したnビットデータに前記書き込むべきデータを埋め込み、当該埋め込み後のnビットデータに対してエラー訂正符号を付加することを特徴とする情報処理装置。

9. 少なくとも、データを所定の方式で転送する第1のデータ転送インタフェースと、前記所定の方式とは異なる方式でデータを転送する第2のデータ転送インタフェースと、論理アドレスを物理アドレスに変換するテーブルであって当該テーブル内に前記第1又は第2のデータ転送インタフェースの何れか一方を指定する情報を保持するアドレス変換テーブルを有するCPUと、

前記第1のデータ転送インタフェースに対応する第1のエラー検出制御手段と、前記第2のデータ転送インタフェースに対応する第2のエラー検出制御手段を有し、メモリと前記CPUとの間でのデータの読み出し・書き込みを制御するメモリ制御部と、

前記メモリをアクセスするために発生されるアドレスに対応する前記アドレス変換テーブル内の指定情報に基づいて何れか一方のエラー検出制御手段を選択する選択手段を有し、

前記選択手段の出力に基づいて選択された前記第1又は第2のエラー検出手段によりメモリをアクセスすることを特徴とする情報処理装置。

10. 請求項9において、

前記第1及び第2のエラー検出制御手段は、前記メモリへの書き込みアクセス時、書き込むべきデータに対し所定ビットのエラー訂正符号を付加して書き込み、前記メモリからの読み出しアクセス時、読み出されたデータ中のエラー訂正符号に基づいてエラー検出訂正を行うことを特

徴とする情報処理装置。

1 1. 請求項 1 0 において、

前記第 1 のエラー検出制御手段は固定周期で処理を実行し、前記第 2 のエラー検出手段は可変周期で処理を実行することを特徴とする情報処理装置。

1 2. 請求項 9 において、

前記第 1 のデータ転送インタフェースはバーストアクセスインタフェースであり、前記第 2 のデータ転送インタフェースはシングルアクセスインタフェースであることを特徴とする情報処理装置。

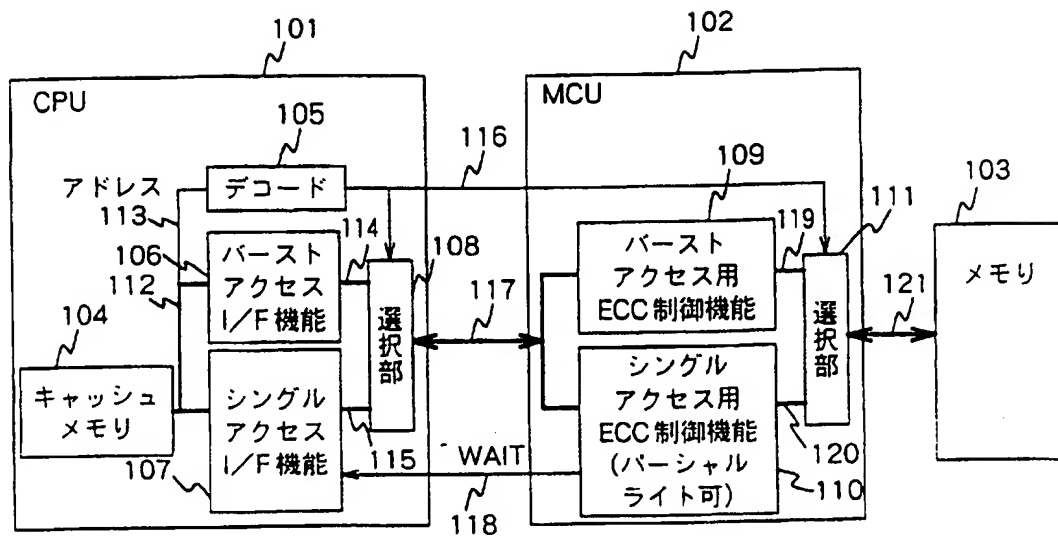
1 3. 請求項 1 2 において、

前記第 1 のデータ転送インタフェースは、行アドレス及び列アドレスを時分割で前記メモリ制御部へ出力することを特徴とする情報処理装置。

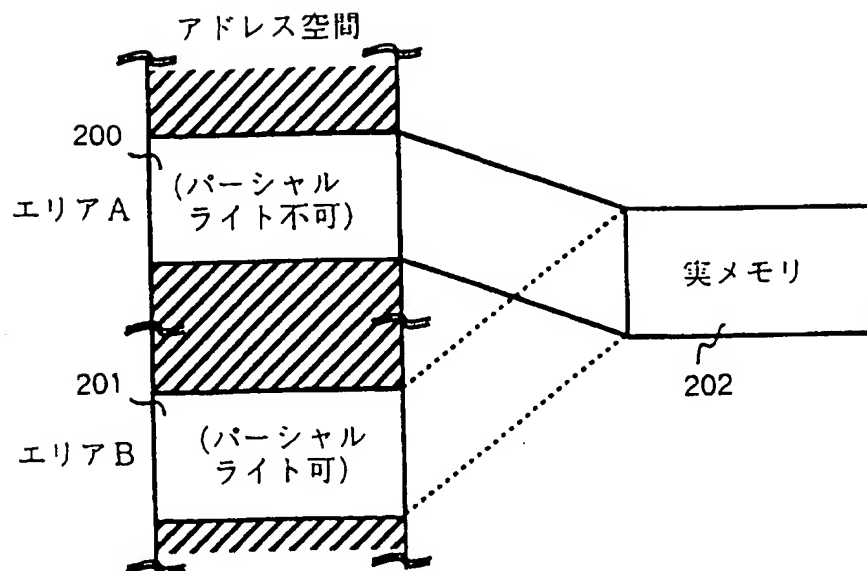
1 4. 請求項 1 0 において、

前記 CPU は前記メモリに対して N ビット単位にアクセスするものであり、前記第 2 のエラー検出制御手段は、n ビット幅より少ないデータを前記メモリに書き込む場合、前記メモリより読み出した n ビットデータに前記書き込むべきデータを埋め込み、当該埋め込み後の n ビットデータに対してエラー訂正符号を付加することを特徴とする情報処理装置。

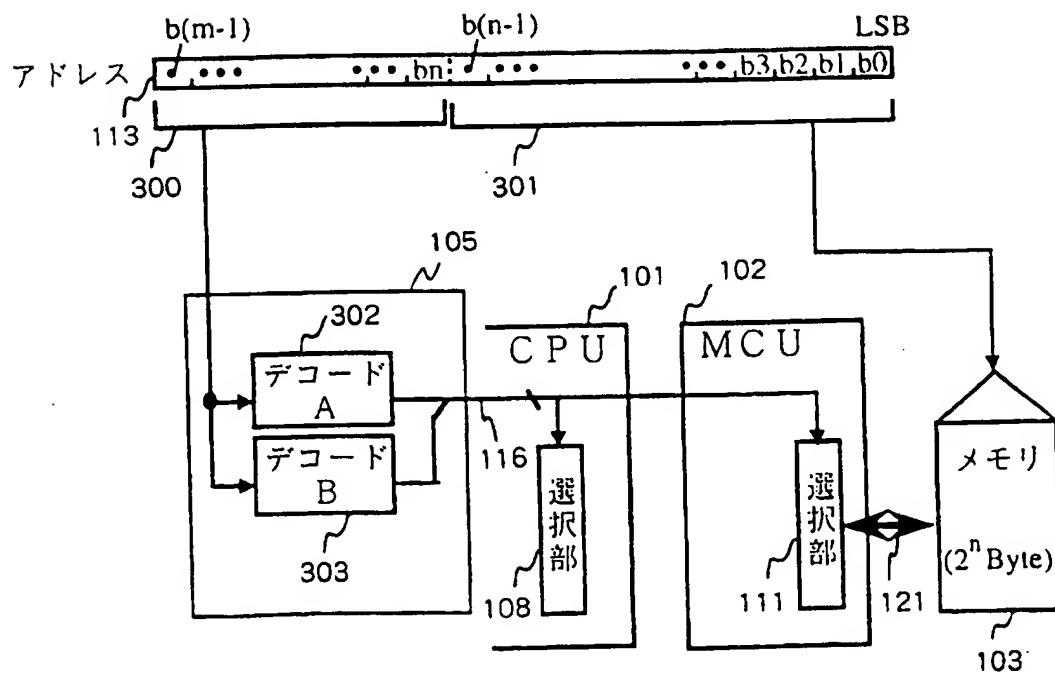
第1図



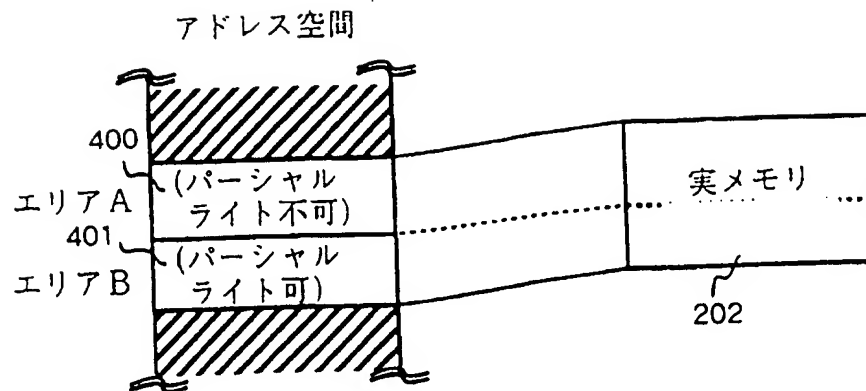
第2図



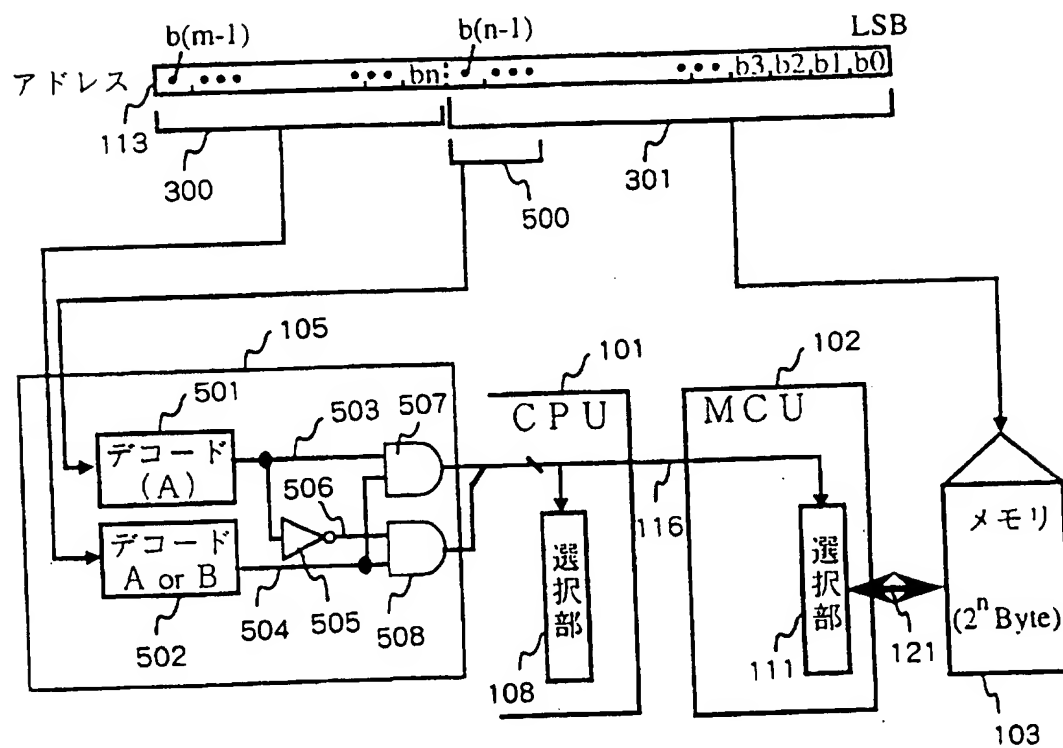
第3図



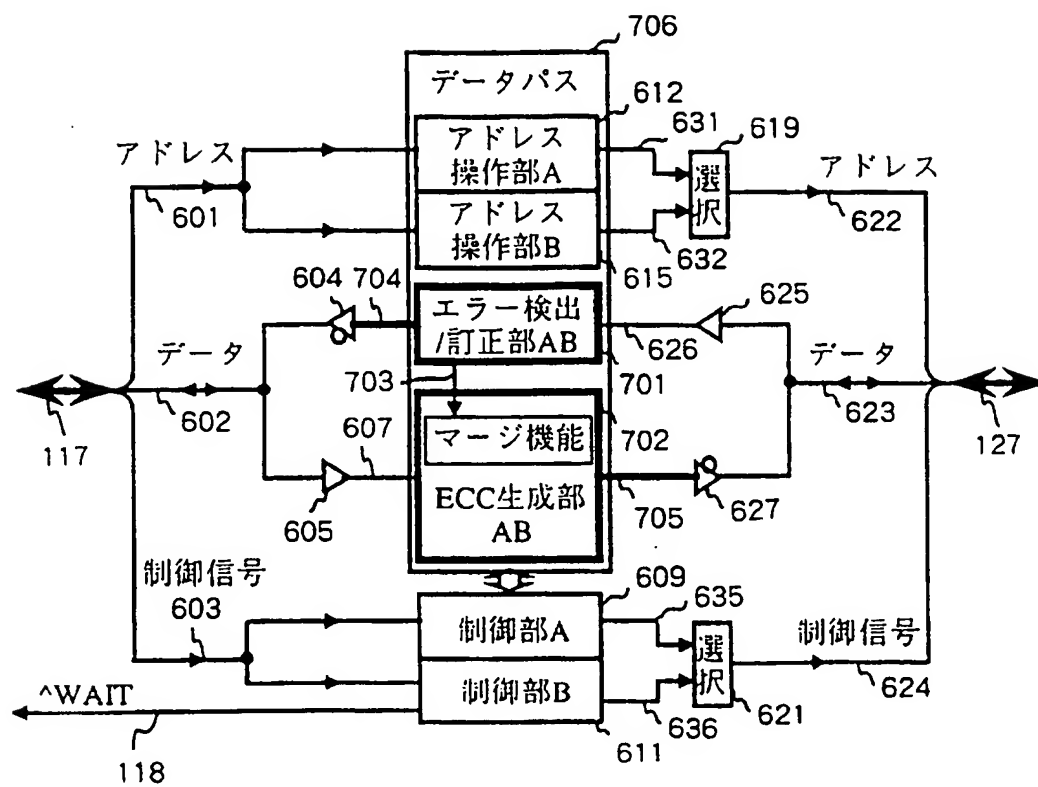
第4図



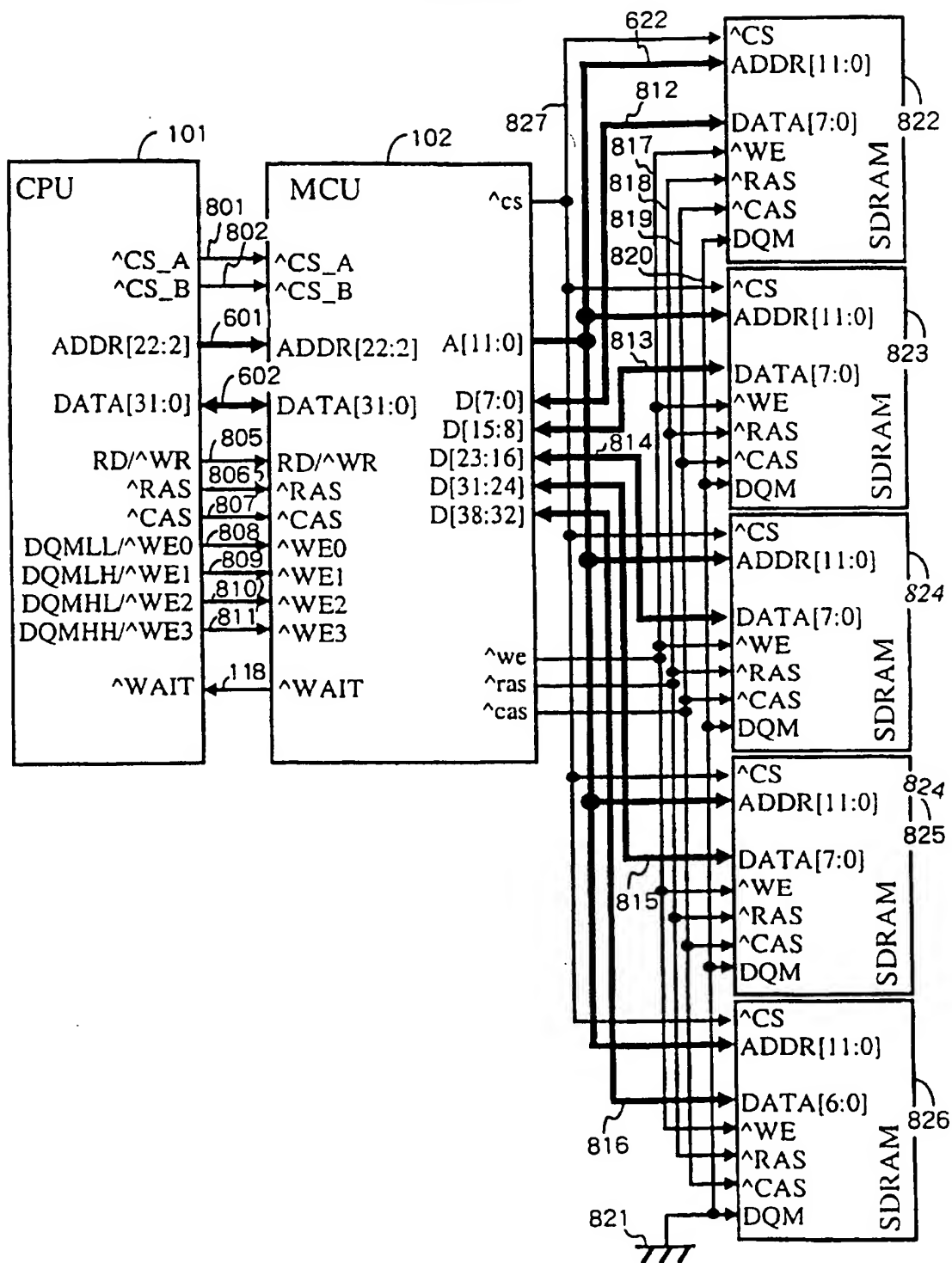
第5図



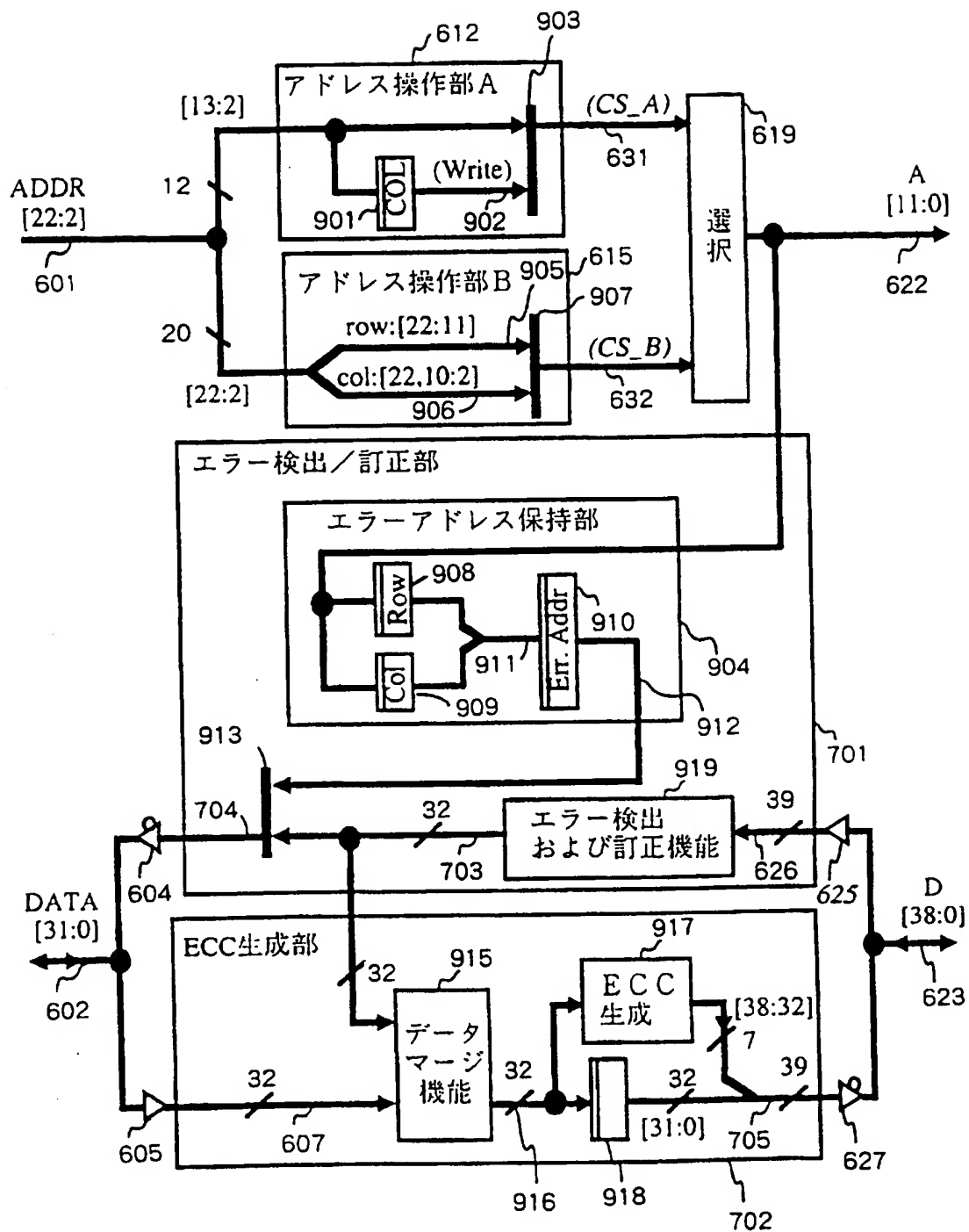
第7図



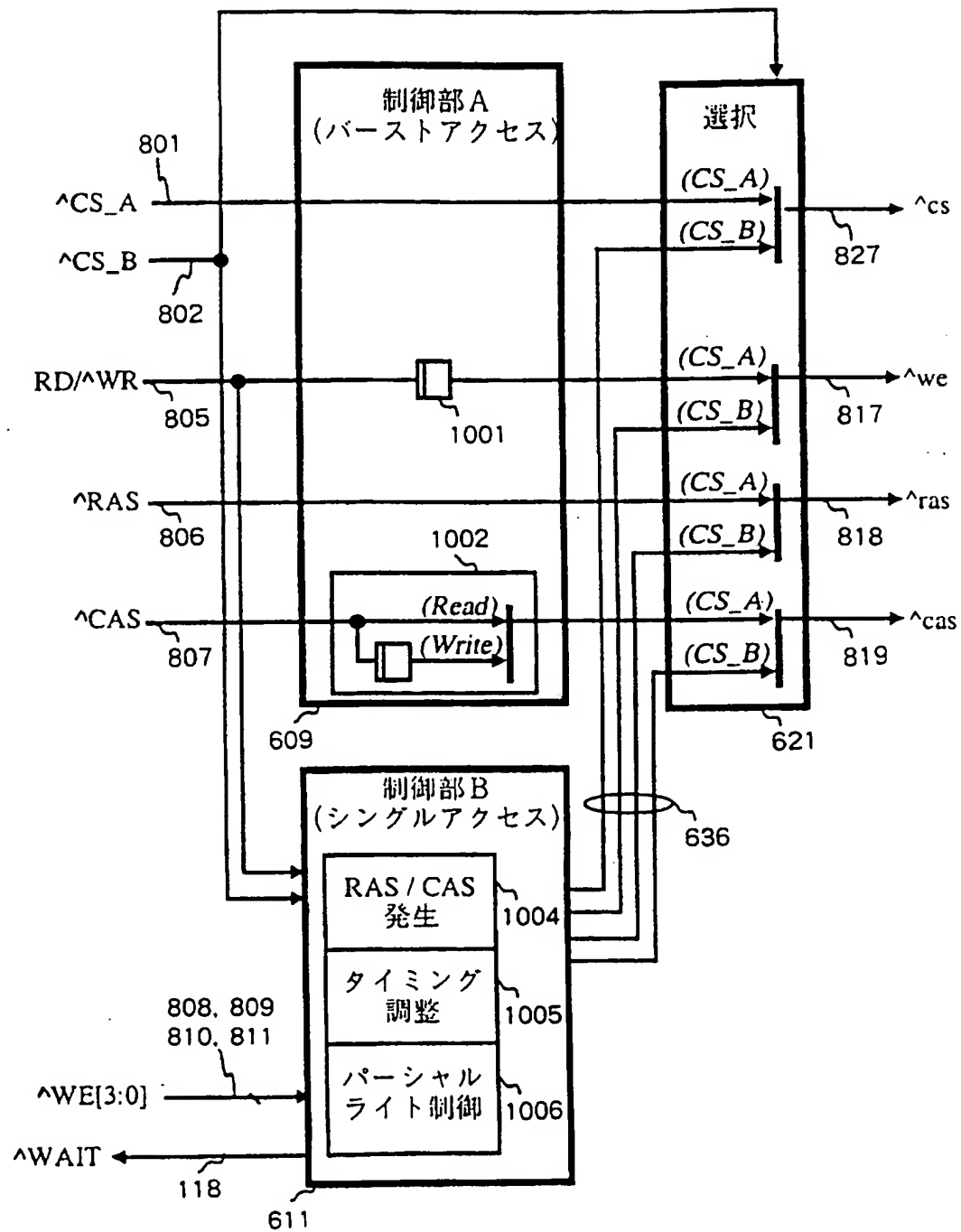
第8図



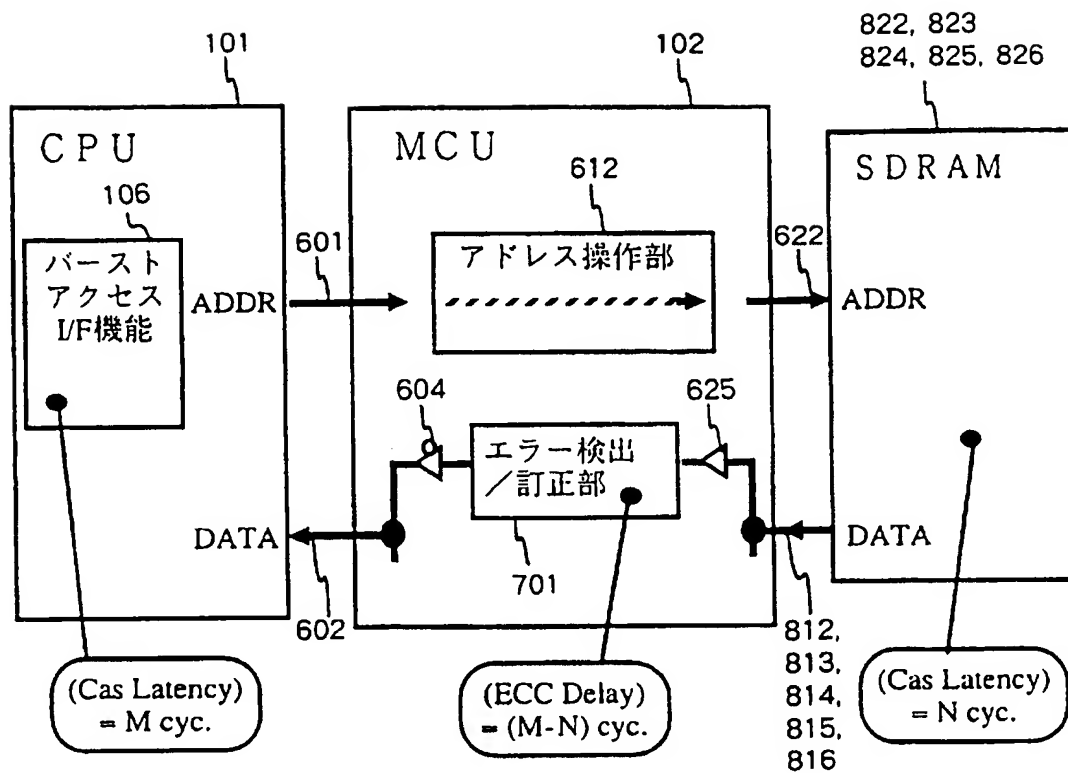
第9図



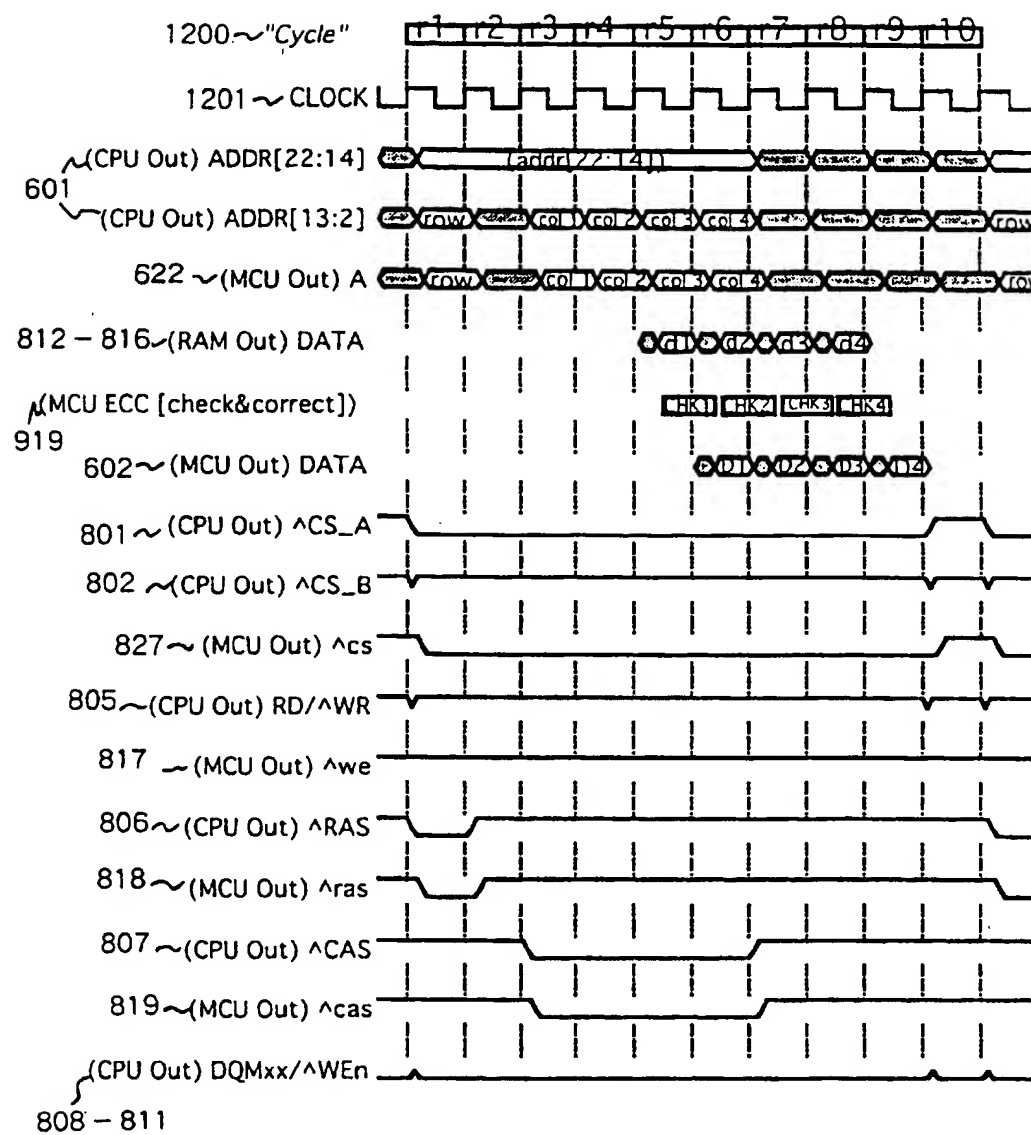
第10図



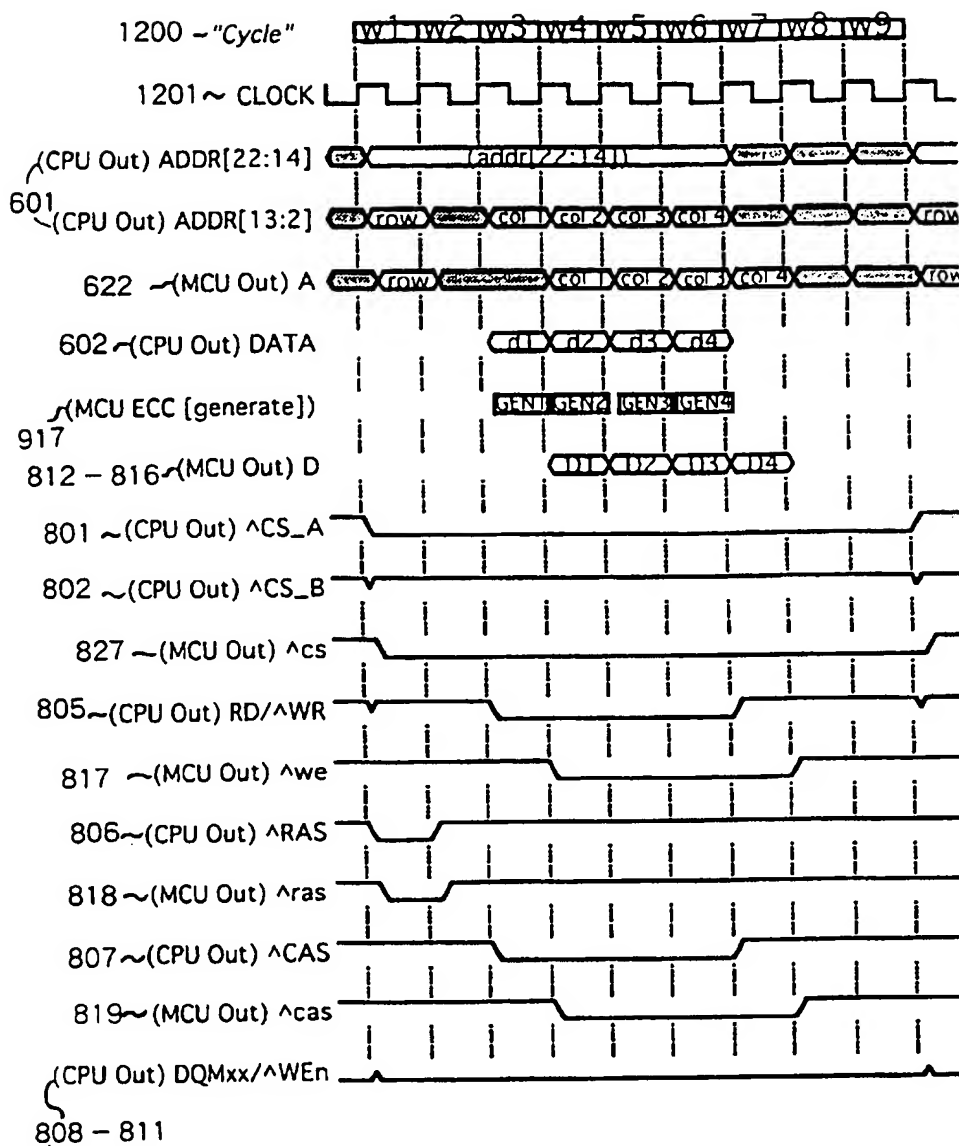
第11図



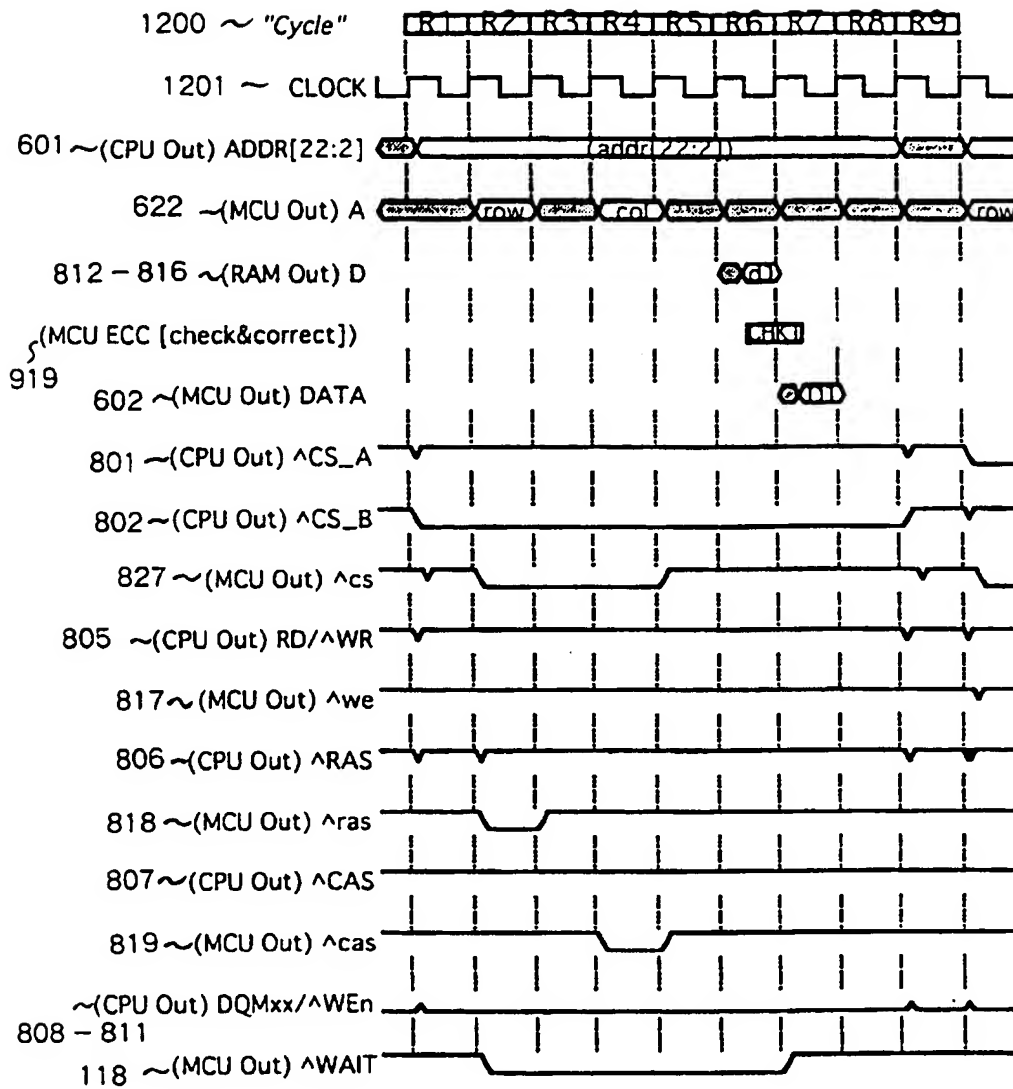
第12図



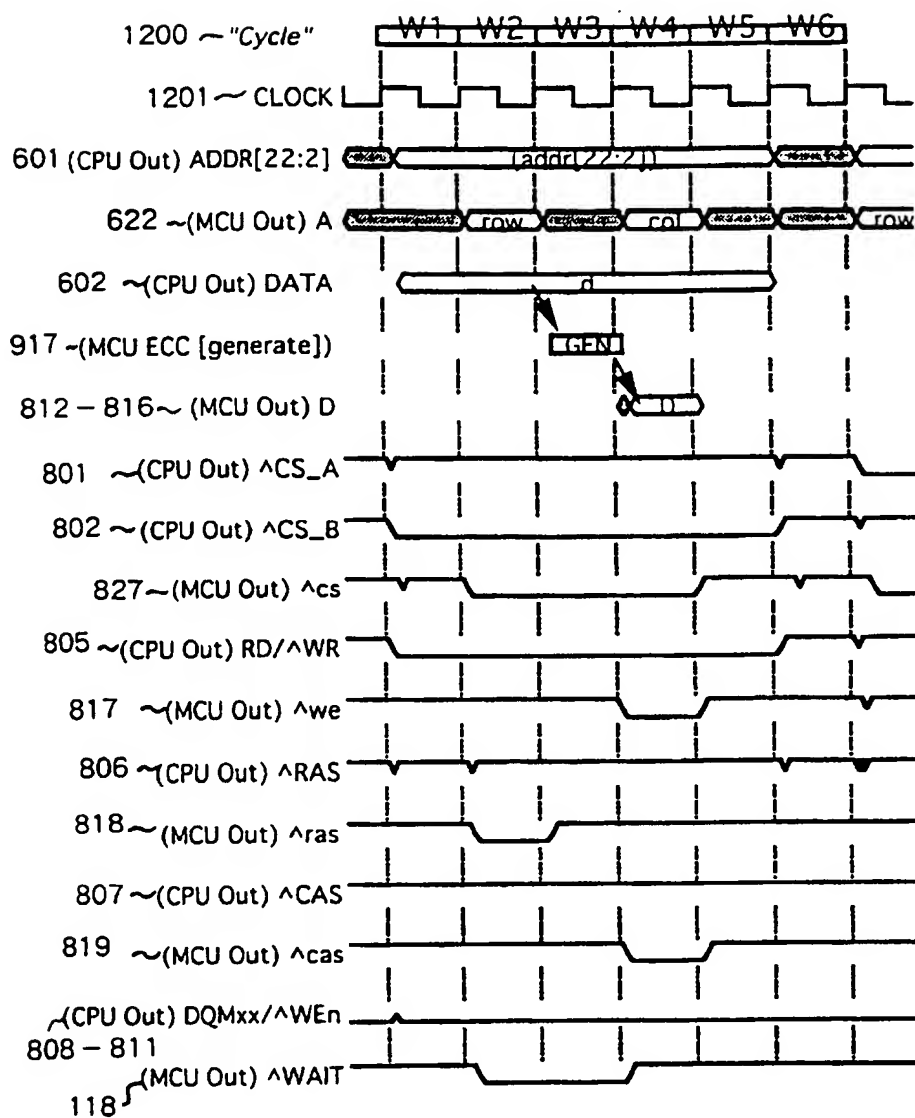
第13図



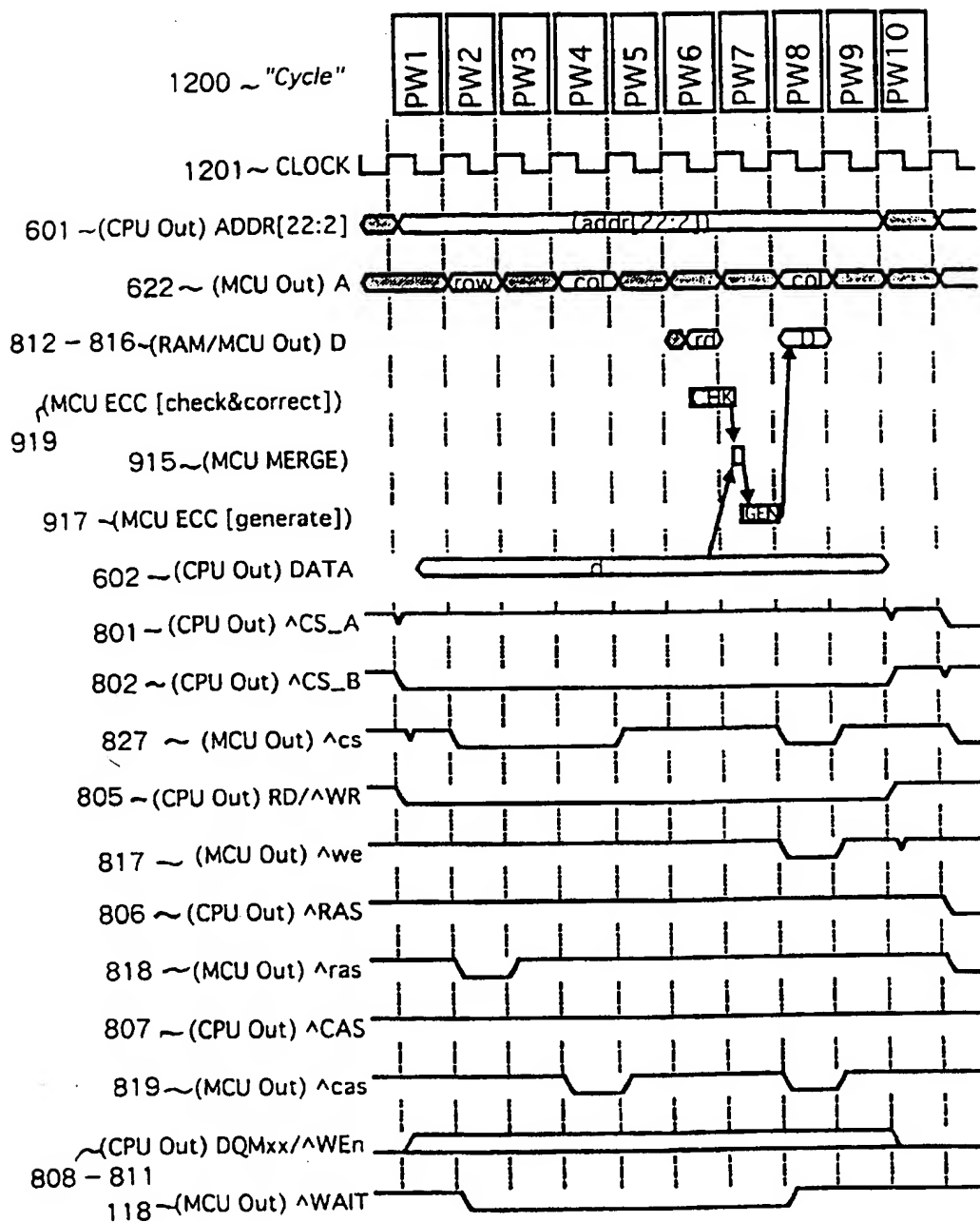
第14図



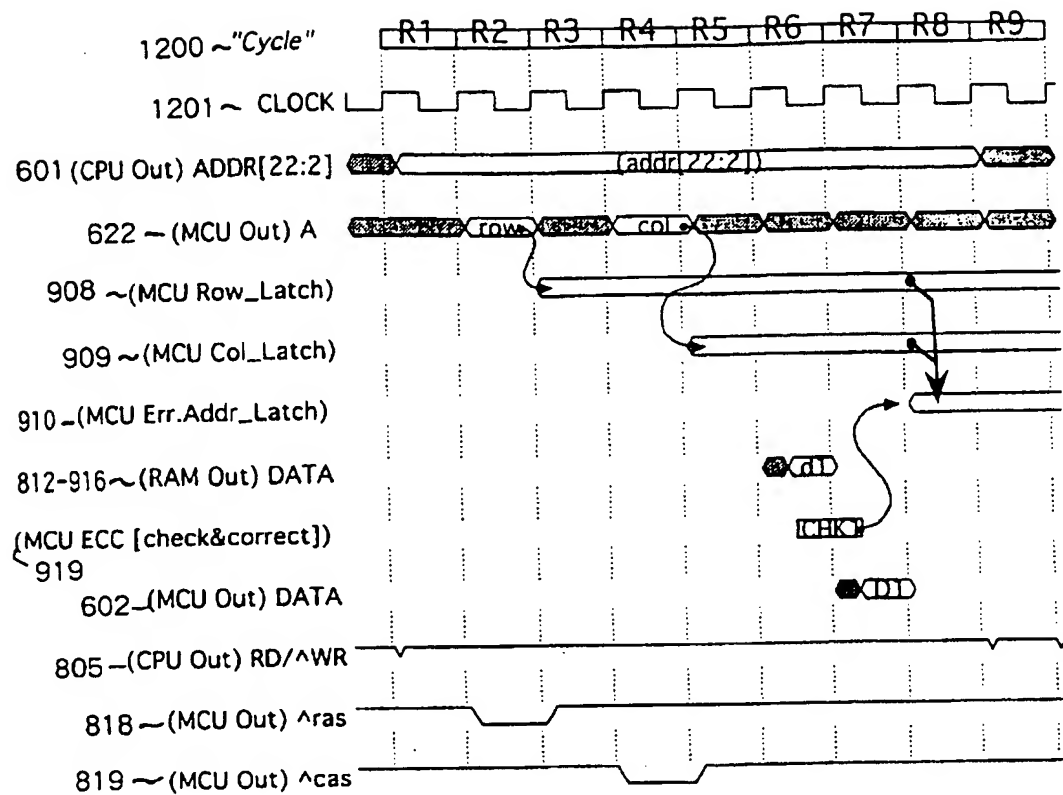
第15図



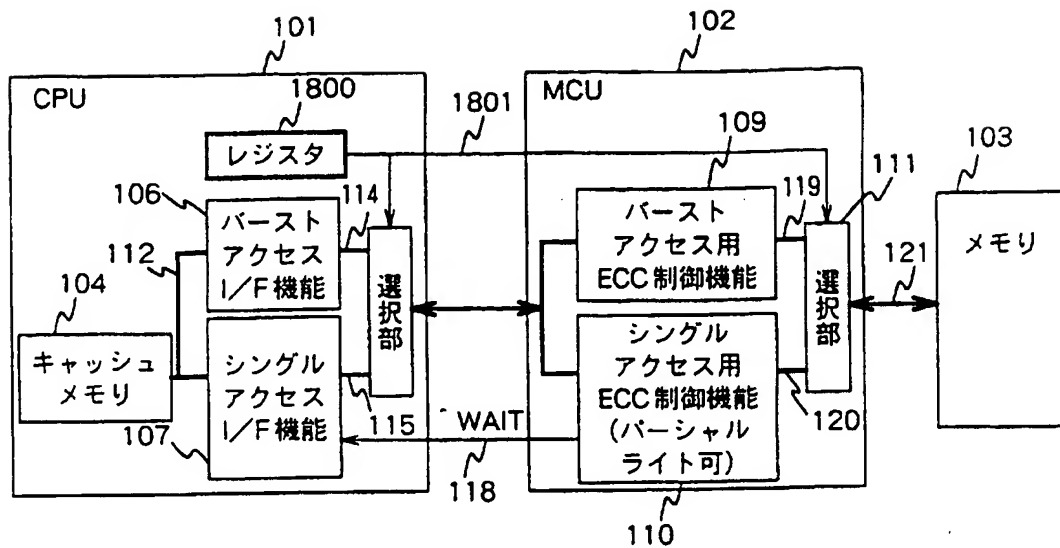
第16図



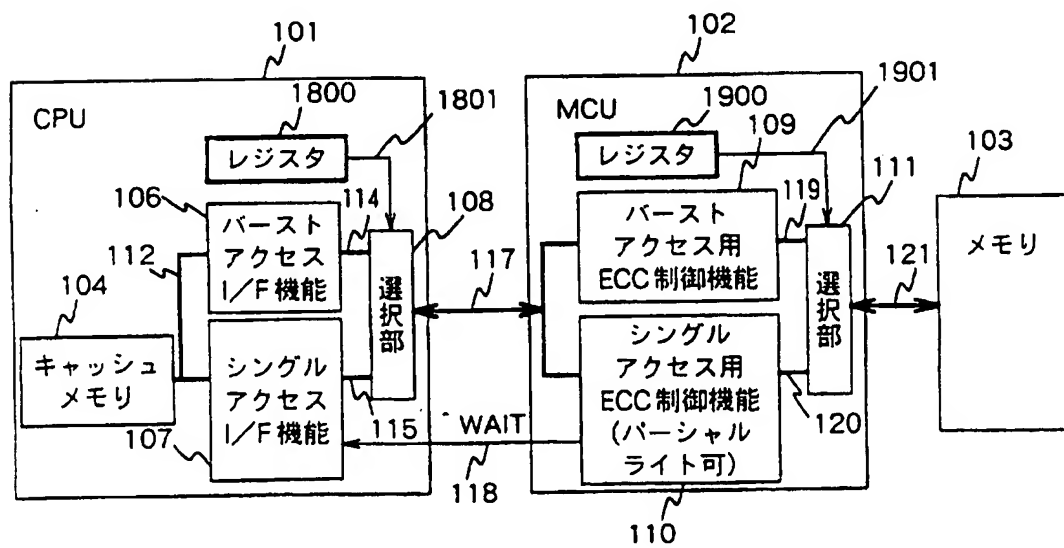
第17図



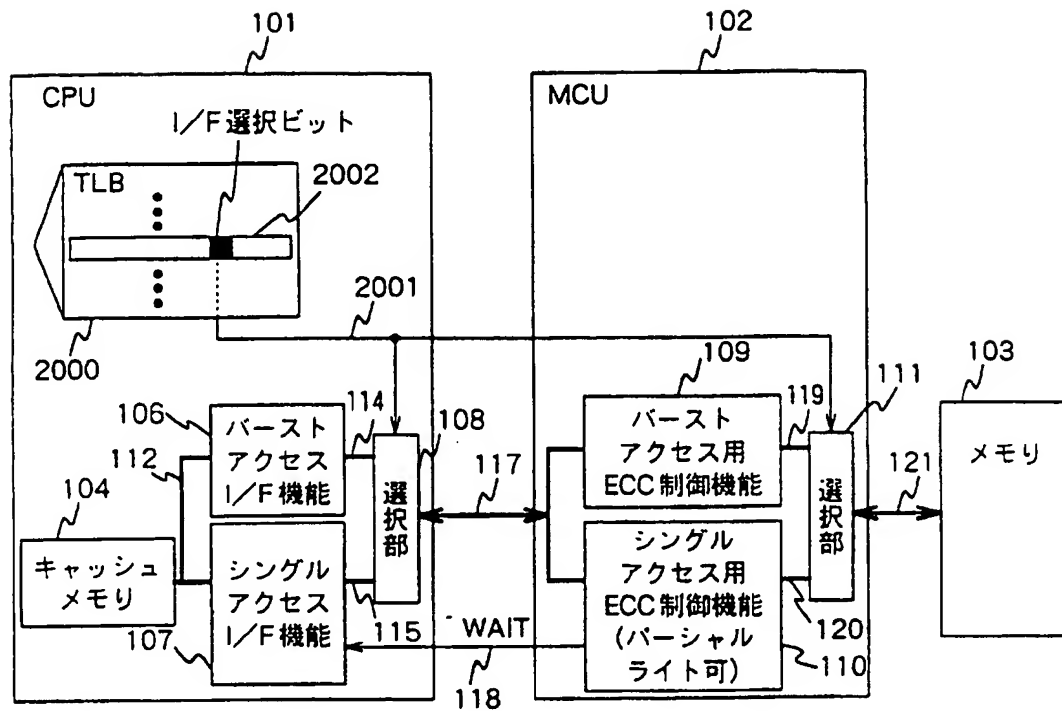
第18図



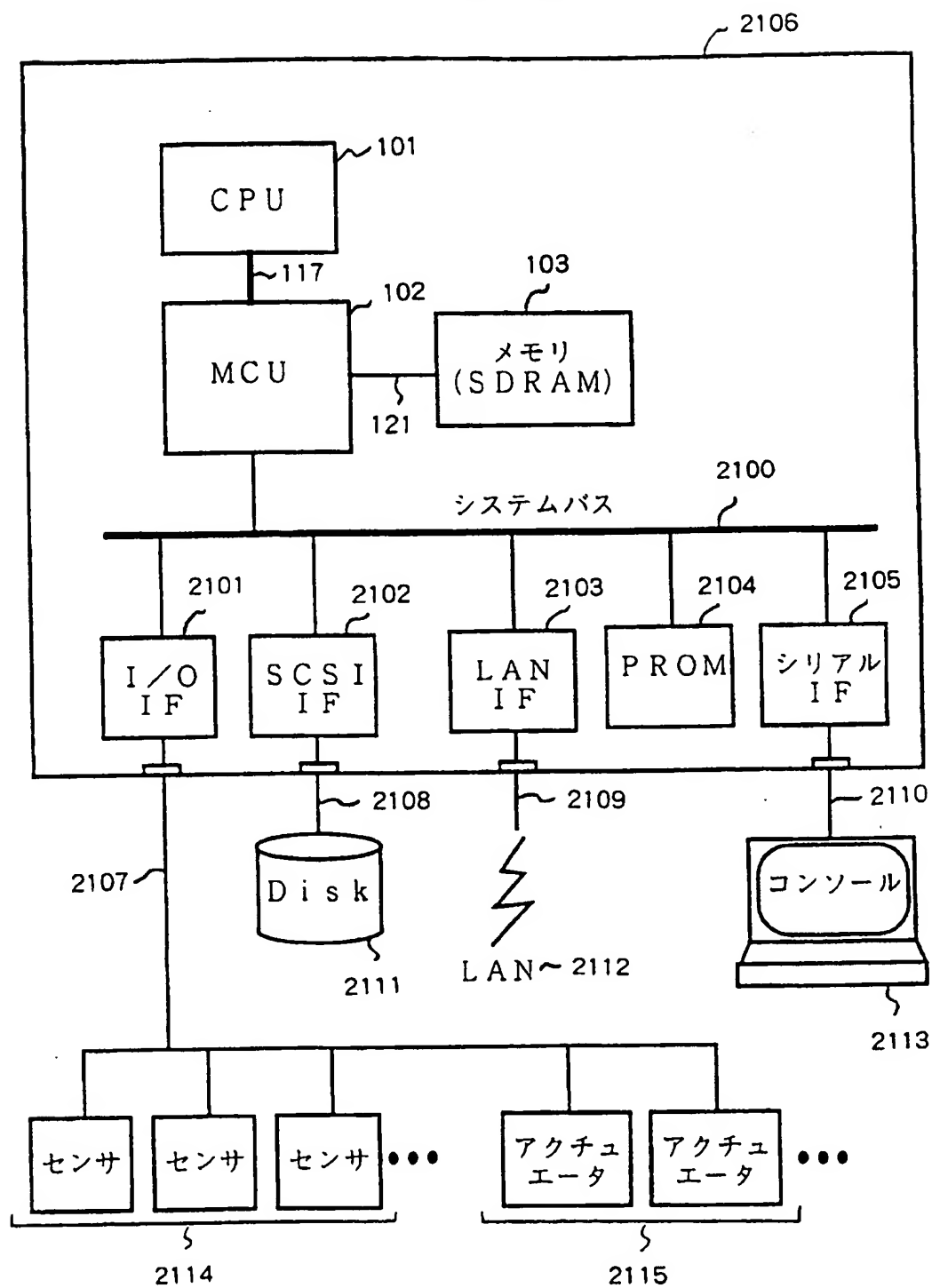
第19図



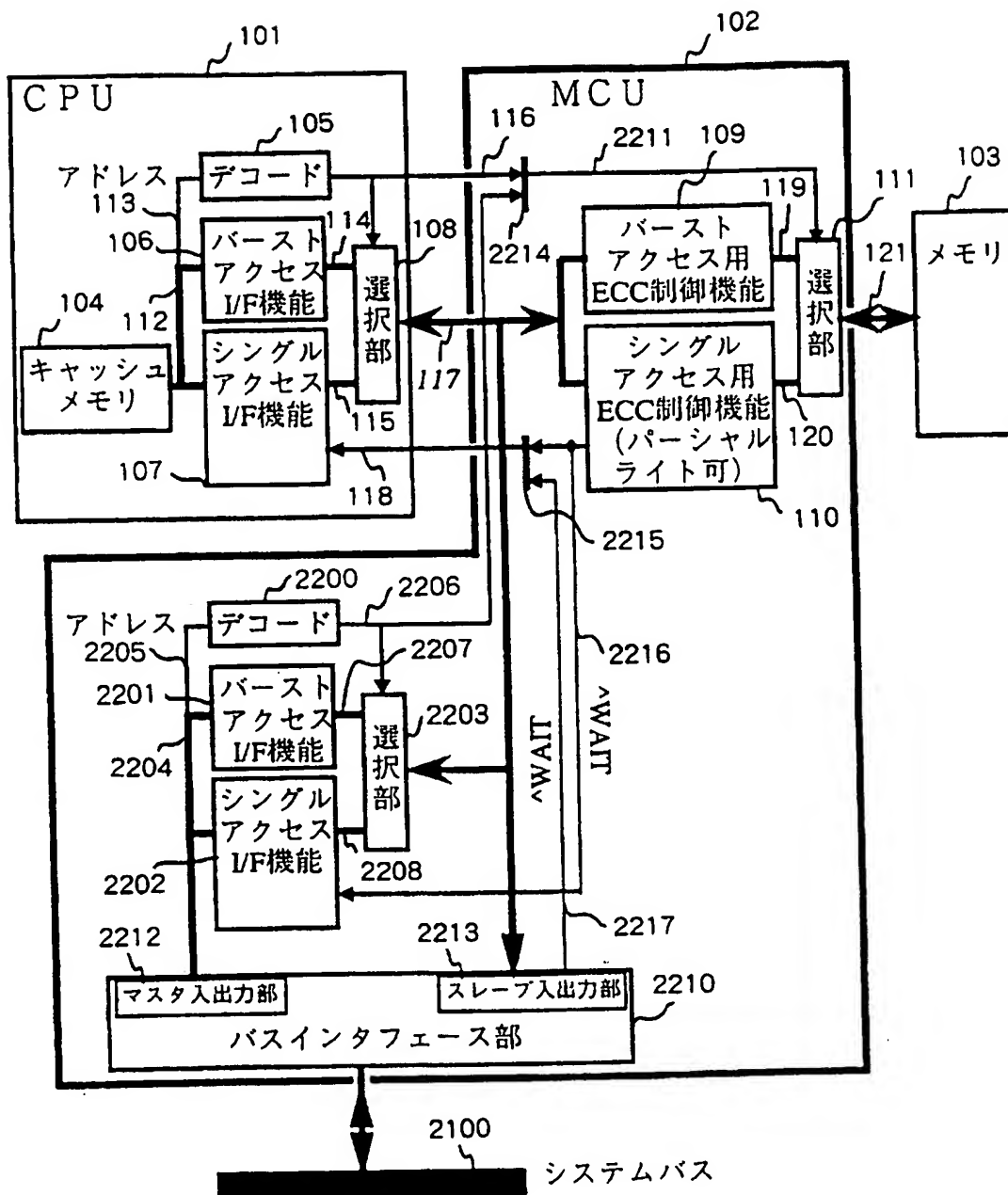
第20図



第21図



第22図



INTERNATIONAL SEARCH REPORT

International application No. --

PCT/JP96/01839

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G06F12/02, G06F12/04, G06F12/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G06F12/02, G06F12/04, G06F12/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1971 - 1996
Kokai Jitsuyo Shinan Koho	1971 - 1994
Toroku Jitsuyo Shinan Koho	1994 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 7-248976, A (NEC Corp.), September 26, 1995 (26. 09. 95), Column 3, line 20 to column 6, line 10 (Family: none)	1 - 14
Y	JP, 4-253236, A (Fujitsu Ltd.), September 9, 1992 (09. 09. 92) (Family: none)	1 - 8
Y	JP, 1-246651, A (Toshiba Corp.), October 2, 1989 (02. 10. 89), Page 3, lower right column to page 4, upper right column (Family: none)	8, 14
Y	JP, 7-281948, A (Mitsubishi Electric Corp.), October 27, 1995 (27. 10. 95), Column 7, line 49 to column 8, line 26 (Family: none)	9 - 14

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

September 24, 1996 (24. 09. 96)

Date of mailing of the international search report

October 8, 1996 (08. 10. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl¹ G 0 6 F 1 2 / 0 2, G 0 6 F 1 2 / 0 4, G 0 6 F 1 2 / 1 6

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl¹ G 0 6 F 1 2 / 0 2, G 0 6 F 1 2 / 0 4, G 0 6 F 1 2 / 1 6

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1971-1996年
 日本国公開実用新案公報 1971-1994年
 日本国登録実用新案公報 1994-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 7-248976, A (日本電気株式会社) 26. 9月. 1995 (26. 09. 95) 第3欄第20行~第6欄第10行 (ファミリーなし)	1-14
Y	J P, 4-253236, A (富士通株式会社) 9. 9月. 1992 (09. 09. 92) (ファミリーなし)	1-8
Y	J P, 1-246651, A (株式会社東芝) 2. 10月. 1989 (02. 10. 89) 第3頁右下欄~第4頁右上欄 (ファミリーなし)	8, 14
Y	J P, 7-281948, A (三菱電機株式会社) 27. 10月. 1995 (27. 10. 95) 第7欄第49行~第8欄26行 (ファミリーなし)	9-14

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」先行文献ではあるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

24. 09. 96

国際調査報告の発送日

08.10.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

金田 利規

5B

9292

電話番号 03-3581-1101 内線 3545